



PHILIPS

**MICROPROCESSOR
ZELFSTUDIE-
CURSUS**

DE OPBOUW EN
WERKING VAN DE
MICROPROCESSOR
2650

4

DE OPBOUW EN
WERKING VAN DE
MICROPROCESSOR
2650

© 1980 N.V. Philips' Gloeilampenfabrieken
EINDHOVEN – Nederland

Deze publikatie mag niet geheel of gedeeltelijk worden vermenigvuldigd, geregistreerd en/of openbaar gemaakt door middel van druk, fotokopie, microfilm of op welke wijze dan ook, zonder voorgaande schriftelijke toestemming van N.V. Philips' Gloeilampenfabrieken, Eindhoven.

INHOUD

De hardware van de microprocessor 2650	5
Intern data-transport	5
Adressering	5
Absolute adressering	5
Relatieve adressering	6
Indexering	6
Springen naar subroutines	6
Bewerkingen op het PSW	6
Communicatie	7
Sense en flag	7
Data-overdracht	7
I/O Methoden	8
NON-EXTENDED I/O-methodiek	8
EXTENDED I/O-methodiek	9
MEMORY MAPPED I/O-methodiek	9
Communicatie tussen I/O-apparaten en geheugen (DMA)	10
Het interrupt-mechanisme	11
Reset	12
Klok-ingang	12

DE HARDWARE VAN DE MICROPROCESSOR 2650

De microprocessor 2650 is een grote elektronische schakeling, die op één schijfje silicium is ondergebracht. Hij bevat de volgende onderdelen (zie fig. 1):

- een register R0, dat bij register-operaties de functie van accumulator verricht;
- zes registers, ondergebracht in een tweetal banken; deze registers fungeren als accumulatoren bij register-geheugen-operaties;
- een rekenkundig orgaan (ALU) waarmee men kan optellen, aftrekken, vergelijken, benevens een logische “OF”, een logische “EN” en een logische “Exclusive Or” functie kan verrichten;
- een “stapel” (stack) voor het redden van instructie-adressen;
- een aantal hulpregisters, o.a. voor het adres van de volgende instructie, de operatiecode en het adres van de operand.

De microprocessor 2650 kan zonder speciale hulpmiddelen een geheugen van 32 K bytes adresseren.

De “data-paden” in de microprocessor hebben een breedte van 8 bits. Toegang tot de data-paden wordt verkregen via de externe data-bus, aangegeven door de pennen: DBUS 0 t/m DBUS 7 (pen 33 t/m 26), zie fig. 22a.

Er zijn enkele interne adres-bussen met een breedte van 15 bits en waarover een adres aan de buitenwereld verstrekt wordt via de pennen ADR 0 t/m 12 (pen 14 t/m 2). Twee lijnen van deze bus, namelijk ADR 13 (pen 19) en ADR 14 (pen 18), worden ook gebruikt voor de externe controle en hebben dus een dubbele functie.

Intern data-transport

We zullen nu de belangrijkste data-paden en de daarbij behorende adresberekeningen behandelen. De LOAD-instructies bestaan uit 3 typen.

Het eerste type is het laden van het register R0 met de inhoud van een ander register. Dit kan via de aangegeven weg (zie fig. 2):

de inhoud van een register R1 tot R3 wordt via de multiplexer R (MUX R), BUS A, MUX A, ALU naar R0 gebracht.

De andere typen hebben betrekking op informatie die wordt aangeboden vanuit het geheugen. Dit kunnen zijn:

immediate	}	geadresseerde data.
relatief		
absoluut		

Via de externe databus, het databus-register, BUS B, MUX A, ALU, ALUBUS, wordt deze data in het register (hier R0) geplaatst. Zie fig. 3.

Bij de STORE instructies onderscheiden we eveneens drie typen. Het eerste type heeft betrekking op het kopiëren van de data van register R0 in een van de andere registers volgens fig. 4. De data verloopt aldus:

R0 → MUX B → ALU → ALUBUS → gekozen register.

Bij het tweede type wordt de data aangeboden aan de externe data-bus. Zie fig. 5. De bron van de data is één van de registers, namelijk hetzij register R0, dan wel register R1, R2 of R3; stel hier R0. Via MUX R wordt deze data aan BUS A aangeboden, vastgelegd in het databus-register en vervolgens verder geleid naar de externe databus.

De rekenkundige, logische en vergelijk-instructies maken in wezen gebruik van dezelfde interne data-paden als gebruikt worden bij het transport tussen registers.

De immediate instructies maken alle gebruik van een datapad, zoals bij de LOAD Immediate (zie fig. 6). De data wordt via de externe databus, de BUS B, in het hulpregister geplaatst. Tijdens de operatie tussen de beide operanden wordt deze data via BUS B, MUX B aan de ALU aangeboden, samen met de data uit één van de registers. Deze data uit een register wordt via de MUX R en BUS A naar de MUX A geleid (zie fig. 7) en aan de ALU aangeboden. Het resultaat wordt via de ALUBUS weer in het (accumulerende) register geplaatst.

De instructies waarin R0 een rol speelt, verlopen iets anders. Daar wordt R0 aan MUX B aangeboden, terwijl via MUX R de inhoud van een van de registers via BUS A aan de ALU wordt gepresenteerd. Via de ALUBUS wordt het resultaat in R0 geplaatst. Zie fig. 8.

Adressering

Als een instructie wordt geadresseerd, kan deze uit 1, 2 of 3 bytes bestaan. Het instructie-adres-register (IAR) verwijst in eerste instantie naar de eerste byte van de instructie, waarin de operatiecode aanwezig is. Zie fig. 9. Dit adres wordt via de ADRES-MUX aan de ADRES-BUS aangeboden en tevens teruggevoerd naar de ADRES-ALU. Daar wordt de waarde met 1 verhoogd; de nieuwe waarde wordt in het IAR geplaatst na het lezen van de byte. Op grond van het adres wordt de operatiecode op de externe databus aangeboden, via BUS B geleid en in het instructie register geplaatst. Afhankelijk van het aantal bytes van de instructie, wordt de adressering vanuit het IAR 1 of 2 maal herhaald; de inhoud van het IAR wordt hierdoor telkens met 1 verhoogd. Na afloop bevat het IAR het adres van de eerste byte van de volgende instructie.

Absolute adressering

De instructies met een absoluut adres bevatten ten minste 13 bits voor de adressering. De 2 bytes die deze 13 bits bevatten, worden na elkaar uitgelezen en via de DBUS, de externe data-bus, BUS B, MUX C, de ADRESALU, in het Operand-Adres-Register geplaatst (zie fig. 10).

Bij een normale operatie met een absoluut adres worden van deze 2 bytes de 13 minst significante bits gebruikt, ter-

wijl 2 bits van het Instructie-Adres-Register (IAR) dienen om de "pagina" aan te geven. Voor het verkrijgen van de operand wordt dit adres uit het operand-register via de ADRESBUS MUX op de ADRESBUS geplaatst (zie fig. 11).

Bij een indirecte adressering wordt de eerste byte van het effectieve adres geadresseerd. Het adres wordt vervolgens teruggevoerd via de ADRESALU, aldaar met 1 verhoogd en vervolgens in het operand-register (fig. 12) geplaatst. De nieuwe inhoud van het operand-register wordt gebruikt om de tweede byte van het effectieve adres te adresseren, en wel op dezelfde wijze als in fig. 11 geschiedt. De 2 bytes van het effectieve adres die gelezen worden, dienen uiteindelijk in het OPAND-ADRES-register te arriveren. De eerste byte moet tijdelijk elders geregistreerd worden. Daartoe gebruikt men het hulpreghister (zie fig. 6). De tweede byte plaatst men daarna in het operand-register (zie fig. 10). Vervolgens wordt de eerste byte aan het IAR overgedragen (zie fig. 13) volgens:

hulpreg. → BUS B → MUX C → ADRESALU → OPAND reg.

Dient een sprong plaats te hebben, dan wordt de inhoud (het effectieve adres) van het operand-adres overgedragen aan het Instructie-Adres-Register IAR, zie fig. 14.

Relatieve adressering

Bij relatieve adressering wordt de inhoud van het IAR via de ADRESMUX en de ADRESBUS aangeboden aan de ADRESALU. De verplaatsing staat op dat moment geregistreerd in het hulpreghister van de besturing. Via BUS B en MUX C wordt deze inhoud aan de ADRESALU aangeboden. Daar wordt het effectieve adres gevormd en in het Operand-Adres-Register (OAR) geplaatst, zie fig. 15. Het operand-register bevat thans het effectieve adres van de verlangde operand. Bij indirecte adressering verloopt de adresseerwijze zoals dit is aangegeven in fig. 11 en 12.

Indexering

Bij indexering moet men van de ADRESALU gebruik maken om het effectieve adres te berekenen. Daartoe wordt de inhoud van het aangegeven index-register via MUX R, BUS A en MUX C aangeboden aan de ADRESALU (zie fig. 16). Het op dat moment aanwezige adres in het operand-register wordt via de ADRESMUX en de ADRESBUS eveneens aan de ADRESALU aangeboden, waar het uiteindelijke adres van de te adresseren operand of van het te adresseren indirecte adres wordt geregistreerd. Gaat het indexeren gepaard aan een auto-increment of een auto-decrement van het register, dan wordt deze operatie eerst uitgevoerd; zie fig. 17. De registerinhoud wordt via de MUX R, BUS A en MUX A aan de ALU aangeboden. Vervolgens wordt op de $ALU \pm 1$ aangeboden; de nieuwe som of het verschil wordt via de ALUBUS wederom in het betreffende register geplaatst.

De verdere handelingen verlopen zoals in fig. 16 en eerder is aangegeven.

Springen naar subroutines

Als er bij een "Branch to Subroutine" instructie naar een subroutine gesprongen wordt, zal de inhoud van het IAR eerst worden gered in de adresstapel (zie fig. 18). Vervolgens wordt de inhoud van het IAR vervangen door de inhoud van het Operand Adres Register, zoals bij een sprong gebeurt (zie o.a. fig. 14). Aldus wordt de sprong naar de subroutine gemaakt. Bij terugkeren uit een subroutine wordt de top van de adresstapel via de ADRESMUX en de ADRESALU opnieuw aan het IAR aangeboden (zie fig. 19). Hierdoor is de "return"-handeling verricht.

Enkele bijzondere vormen van indexing treden op bij de "Branch Indexed Absolute"-instructie. In wezen komt de bij deze instructie behorende datastroom overeen met die van fig. 16. Nu kan echter geen bepaald register worden gekozen, maar dient register R3 gebruikt te worden. Overigens verloopt de datastroom geheel volgens deze figuur.

Bij de "Zero Branch to Subroutine Relative" (ZBSR)-instructie heeft een dataoverdracht plaats tussen het hulpreghister via BUS B, MUX C, ADRESALU naar het IAR. Tegelijk wordt de inhoud van het IAR overgedragen op de top van de adresstapel (top of stack = TOS), zie fig. 20. Als er geen "Branch to Subroutine" instructie plaats heeft, maar uitsluitend een "Zero Branch Relative", dan vervalt deze overdracht naar de adresstapel.

Bewerkingen op het PSW

Het PSW wordt geladen vanuit register R0. Daartoe wordt de inhoud via MUX B, de ALU, de ALUBUS, naar het PSW UPPER (PSU) of het PSW LOWER (PSL) overgedragen. Omgekeerd betekent een "Store" dat het PSL of het PSU via MUX B, de ALU en de ALUBUS aan register R0 wordt aangeboden en daarin wordt vastgelegd.

De "Clear" en "Preset"-operaties worden verricht doordat de inhoud van het hulpreghister via BUS B aan de ALU wordt gepresenteerd, samen met het PSL of het PSU via de MUX B (zie fig. 21). Het resultaat wordt via de ALUBUS opnieuw in het PSW geplaatst. Bij een "Preset"-operatie wordt een logische "OF" uitgevoerd in de ALU, terwijl bij een "Clear"-operatie eerst het hulpreghister gecomplementeerd wordt; vervolgens wordt de inhoud van het betreffende deel van het PSW met behulp van een "EN"-operatie bewerkt, waarna het geheel wordt teruggeplaatst in het PSW.

Het testen van PSW-bits geschiedt op overeenkomstige wijze. Er wordt een logische "EN"-operatie uitgevoerd tussen de inhoud van het hulpreghister en de inhoud van het betreffende PSW-deel. Het resultaat van deze "EN"-operatie wordt echter niet geregistreerd; de Conditie-Code wordt uitsluitend in de juiste vorm gebracht.

COMMUNICATIE

De microprocessor 2650 biedt diverse mogelijkheden om met zijn omgeving te communiceren. Men moet onderscheid maken tussen communicatie die dienst doet bij het transporteren van data enerzijds en communicatie die dienst doet om bepaalde vormen van besturing te realiseren; zie fig. 22a en b. In de laatste figuur zijn de communicatielijnen in groepen gerangschikt. De bovenste is de data-overdracht, de tweede groep is de synchronisatie met externe processen, de derde groep is het "Interrupt"-stelsel, waarmee de buitenwereld een beroep kan doen op de microprocessor 2650 die dan overeenkomstige acties zal ondernemen. De vierde groep is de DMA (Direct Memory Access), door middel waarvan ervoor wordt gezorgd dat de microprocessor zich van de buitenwereld isoleert en de apparatuur in deze buitenwereld ongehinderd onderling kan communiceren. Tenslotte heeft men twee I/O lijnen voor de in- en uitvoer van achtereenvolgens gepresenteerde informatie.

SENSE en FLAG

De SENSE en FLAG (zie fig. 23), aangesloten op de pennen 1 en 40 van de microprocessor 2650, eindigen in het PSU. De SENSE wordt vertegenwoordigd door PSU-bit 7 en kan door het programma getoetst worden. Met behulp van het programma kan dus onderzocht worden of de SENSE een logische "0" of een "1" is, zodat de Conditie Code (CC) "00" gemaakt wordt bij een SENSE "1", resp. "10" bij een SENSE "0". De FLAG geeft de conditie van bit 6 van het PSU aan de omgeving door. De bit 6 kan "geset" of "gereset" worden m.b.v. de "Preset PSU"- of "Clear PSU"-instructie.

Data-overdracht

De data-overdracht geschiedt over de DATABUS (zie fig. 24). De DATABUS is 8 bits breed en kan dus 1 byte in zijn geheel overdragen. De data is afkomstig uit het geheugen of is ervoor bestemd, resp. vindt zijn oorsprong of bestemming in een I/O-apparaat. Het onderscheid tussen deze beide groepen wordt in eerste instantie bepaald door de besturings-M/ \bar{I} O draad. Als deze besturingsdraad een logische "1" is, dan is er communicatie met het geheugen. Is het een logische "0", dan is het bestemd voor de I/O apparatuur. De richting van de overdracht wordt aangegeven door de draad \bar{R}/W (Read/Write), waarbij een logische "1" een overdracht van de microprocessor 2650 naar de omgeving (Write) impliceert, terwijl bij een logische "0" de richting van de overdracht is naar de microprocessor 2650 (Read). Via de ADRESBUS (15 bits) wordt aangeduid waar extern de oorsprong of de bestemming precies gelegen is (het adres).

Als de microprocessor 2650 in het geheugen, resp. naar de I/O apparatuur dient te schrijven, dan verstrekt hij op de externe DATABUS de data, op de ADRESBUS het desbetreffende adres en op de CONTROLEBUS de hoofdgroep,

namelijk het geheugen (M), resp. de I/O. Tevens geeft hij op de draad \bar{R}/W te kennen dat er geschreven dient te worden. Deze elektrische signalen zullen van de microprocessor 2650 naar de desbetreffende apparatuur gaan, waarmee enige tijd gemoeid kan zijn. Teneinde te verzekeren dat de desbetreffende apparatuur deze signalen juist zal interpreteren, verstrekt de microprocessor kort na het zenden van de bovengenoemde signalen een extra signaal, de z.g. Operation Request, en wel op de draad OPREQ. Dit signaal is voor de omgeving het sein dat de data, adressen en opdrachten op de CONTROLEBUS geïnterpreteerd kunnen worden en dat overeenkomstig moet worden gehandeld. Zolang OPREQ "hoog" is, verandert er geen enkel signaal dat door de microprocessor verstrekt wordt, met uitzondering van WRP.

Fig. 25 geeft de tijden voor het lezen en het schrijven over de DATABUS. De systeemklok in de microprocessor 2650 past perioden van minimaal 2×400 ns. af. De cycli worden T0, T1 en T2 genoemd. Na de stijgende flank van T0 worden op de ADRESBUS, de DATABUS, de M/ \bar{I} O en de \bar{R}/W de nodige signalen geplaatst. Na de stijgende flank van T1 komt een signaal op OPREQ. Dit signaal loopt minimaal 50 ns en maximaal 300 ns achter bij de stijgende flank van T1, d.w.z. dat de stijgende flank van OPREQ binnen T1 "hoog" wordt. Ten minste 50 ns vóór deze OPREQ-flank zijn de signalen op de ADRESBUS, de DATABUS en M/ \bar{I} O en \bar{R}/W geldig. Dit is eveneens van toepassing op het signaal op de draad WRP (Write Pulse). Deze is ten minste 50 ns vóór de Operation Request "0" geworden. Deze "0" blijft minimaal gedurende $T1_{CH} - 50$ ns gehandhaafd en wordt dan opnieuw "hoog". Dit duurt dan ten minste even lang als de "lage" klokperiode van T1 min 50 ns. Op grond van dit signaal kan een geheugen de data kopiëren van de data-lijnen. Na afloop van deze periode wordt WRP wederom "laag" om pas weer na 50 ns "hoog" te worden, na het verschijnen van de Operation Request. De Operation Request duurt minimaal 750 ns. Deze lange duur is noodzakelijk om zo nodig de mogelijkheid te bieden om gegevens van een geheugen te betrekken. Als het geheugen of I/O-apparatuur informatie heeft overgenomen, dan geeft dit dat te kennen via de draad $\bar{O}PACK$, door deze "laag" te maken, d.w.z. een logische "0" af te geven. Dit dient uiterlijk 50 ns vóór de stijgende flank van de klokpuls T2 te geschieden. Zou dit later gebeuren, dan zal de microprocessor 2650 deze $\bar{O}PACK$ niet herkennen en als gevolg daarvan een complete klokperiode ongebruikt voorbij laten gaan, hetgeen erop zou neerkomen dat de volgende T0 nu als T2 wordt opgevat.

De WRP-impuls mag samen met het signaal op de M/ \bar{I} O draad gebruikt worden om een geheugen een schrijfpdracht te verstrekken. Voor dat doel dient er een "EN"-schakeling bij het geheugen aangebracht te worden. De twee afzonderlijke signalen stellen de ontwerper in staat, gecompliceerde geheugens te gebruiken met velerlei typen van geheugenelementen.

Bij het lezen van data dient het geheugen een bevestiging daarvan te geven door het "laag" gaan van de spanning op de draad $\overline{\text{OPACK}}$ (zie fig. 25). Verschijnt dit signaal niet op zijn laatst 50 ns vóór de stijgende flank van T2, dan zal de

microprocessor een tweede T2 uitvoeren.

Het beëindigen van de Operation Request (verhoging van de spanning op de draad $\overline{\text{OPACK}}$) geeft aan dat de leesoperatie beëindigd is.

I/O METHODEN

Behalve het reeds eerder vermelde seriële bit-transport kent de microprocessor 2650 nog drie andere wijzen van I/O organisaties, namelijk:

NON-EXTENDED I/O
EXTENDED I/O
MEMORY-MAPPED I/O

NON-EXTENDED I/O-methodiek

Deze vorm van I/O-operaties is vooral bestemd voor het geval dat er slechts één of twee I/O-apparaten ter beschikking staan en men de besturing van dit apparaat en het data-transport naar en vanaf het apparaat op een eenvoudige wijze wenst te scheiden. De besturing kan worden aangegeven door middel van een C (CONTROL) en de data-transport d.m.v. een D (DATA). De ter beschikking staande instructies zijn:

REDC (Read Control)
REDD (Read Data)
WRTC (Write Control)
WRTD (Write Data)

Dit zijn alle 1-byte-instructies, die de inhoud van een CPU-register op de DATABUS plaatsen of de DATABUS kopiëren in een register. Dit houdt in dat tijdens één van de vier vermelde operaties slechts 1 byte overgedragen kan worden. De C en de D zijn een vorm van adresseren; voor dit doel

wordt één van de adreslijnen van de ADRESBUS gebruikt, en wel de lijn ADR 14, die op pen 18 is aangesloten. Het zenden van data vereist dus bij voorbeeld een WRD-instructie, die tot gevolg heeft dat de M/ $\overline{\text{IO}}$ lijn "laag" wordt en ADR 14 D/ $\overline{\text{C}}$ lijn "hoog". Deze combinatie is een aanduiding dat er data gezonden wordt naar een I/O-apparaat. Als er een controle-sigitaal voor hetzelfde apparaat wordt gezonden, dan is de ADR 14 lijn "laag".

Om de NON-EXTENDED I/O van de EXTENDED I/O te kunnen onderscheiden, is er een speciale draad aanwezig, die echter gecombineerd is met de draad ADR 13 van de adresbuslijn (pen 19). Deze draad wordt E/ $\overline{\text{NE}}$ genoemd. Bij een NON-EXTENDED I/O-instructie is deze draad automatisch "laag". Onderscheid tussen het lezen en het schrijven van data wordt, evenals bij het geheugen, weer aangegeven door de $\overline{\text{R/W}}$ -lijn van de CONTROLEBUS. Dat de data overgenomen dient te worden door een I/O-apparaat, wordt weer aangegeven door een impuls op de controledraad WRP. Het gehele tijdsverloop is analoog aan dat van de communicatie met een geheugen.

In plaats van één I/O-apparaat, waarbij de besturing en de data dus gescheiden kan worden door middel van een stelsel eenvoudige "EN"-schakelingen bestuurd door de D/ $\overline{\text{C}}$ lijn, is het ook mogelijk om twee I/O-apparaten aan te brengen, die dan C en D genoemd worden. Een verdere uitbreiding van de NON-EXTENDED I/O zou bijzondere hulpmiddelen vereisen en is niet aan te bevelen. Onderstaande tabel vermeldt welke mogelijkheden er zijn met het geheugen enerzijds en de I/O signalen anderzijds.

I/O INTERFACE SIGNALLEN

	OPREQ	M/ $\overline{\text{IO}}$	$\overline{\text{R/W}}$	ADR 13 - E/ $\overline{\text{NE}}$	ADR 14 - D/ $\overline{\text{C}}$
MEMORY READ	1	M	R	ADR 13	ADR 14
MEMORY WRITE	1	$\overline{\text{M}}$	W	ADR 13	ADR 14
2 BYTE READ	1	$\overline{\text{IO}}$	R	E	Don't care
2 BYTE WRITE	1	$\overline{\text{IO}}$	W	E	Don't care
1 BYTE CONTROL READ	1	$\overline{\text{IO}}$	R	$\overline{\text{NE}}$	$\overline{\text{C}}$
1 BYTE CONTROL WRITE	1	$\overline{\text{IO}}$	W	$\overline{\text{NE}}$	C
1 BYTE DATA READ	1	$\overline{\text{IO}}$	R	$\overline{\text{NE}}$	D
1 BYTE DATA WRITE	1	$\overline{\text{IO}}$	W	$\overline{\text{NE}}$	D

De signalen in de bovenstaande tabel zijn uiteraard ook hier onderworpen aan het "waar" zijn van de Operation Request lijn.

Een voorbeeld voor een HARDWARE uitvoering van een NON-EXTENDED I/O apparaat is gegeven in fig. 26. In deze figuur wordt de $\overline{R/W}$ lijn en de $\overline{D/C}$ lijn door middel van een decodeerschakeling omgezet in een 1 uit 4 signalen, die dan een getrouwe kopie vormen van de opgegeven instructie READ C, WRITE C of WRITE D. Deze decodering werkt uitsluitend als blijkt dat er een I/O operatie is die NON-EXTENDED is en er geen herkenning is van een "interrupt" (waarover later meer). Over de WRP-lijn wordt gesignaleerd of de data al dan niet kan worden overgenomen.

Na het ontvangen van \overline{OPREQ} , $\overline{M/\overline{IO}}$ en $\overline{E/\overline{NE}}$ wordt via een inversieschakeling een \overline{OPACK} teruggezonden.

EXTENDED I/O-methodiek

Met deze methode kan data van een CPU-register naar een I/O-apparaat gebracht worden of van een I/O-apparaat gelezen worden in een van de registers. Teneinde aan te geven dat het een I/O-operatie is, is de besturingsdraad $\overline{M/\overline{IO}}$ "laag". Op de controledraad $\overline{R/W}$ wordt aangegeven of het een lees- dan wel een schrijfoperatie is. Voor de synchronisatie doen wederom \overline{OPREQ} en \overline{OPACK} dienst; ook de WRP kan voor het overdragen van data op het juiste tijdstip gebruikt worden. Het gewenste I/O-apparaat wordt op de ADRESBUS aangegeven. Met behulp van deze I/O-structuur is het mogelijk 256 verschillende I/O-apparaten te adresseren. Dit aantal is uiteraard bijzonder groot en doorgaans kan men met een veel geringer aantal apparaten volstaan. In dat geval zal het selecteren van het gewenste I/O-apparaat natuurlijk minder materiaal vergen. Dit selecteren gebeurt door het verstrekken van een adres, zoals dit in de instructie is voorzien. Het adres, bestaande uit 8 bits, wordt op de ADRESBUS geplaatst en wel op de draden ADR 0/ADR 7. Hierdoor worden de genoemde 256 combinaties mogelijk. Fig. 27 laat zien hoe een dergelijke selectie kan geschieden en hoe de data eventueel in een register geplaatst kan worden, resp. kan worden uitgelezen. De controledraden $\overline{M/\overline{IO}}$, \overline{OPREQ} , $\overline{E/\overline{NE}}$ en \overline{INTACK} (Interrupt Acknowledge) doen daarbij uiteraard weer dienst als selectiemiddel en geven aan dat een EXTENDED I/O is gewenst. De draad $\overline{R/W}$ geeft aan of het een lees- dan wel een schrijf-operatie dient te zijn, terwijl de WRP dienst doet voor het op het juiste tijdstip kopiëren van de DATABUS.

Het I/O-apparaat bevat een vergelijkingsinrichting voor een adres van 8 bits. Het adres van het desbetreffende I/O-apparaat kan b.v. door solderen vast verbonden worden of m.b.v. microschemelaars op het desbetreffende printed circuit

ingecodeerd worden. Ook is het mogelijk het adres afhankelijk van de invoer te maken. In dat geval kan b.v. het adres verstrekt worden door een microprocessor die de invoer-apparatuur bestuurt (smart terminal). Men kan nu vanuit de centrale microprocessor een zekere associatie met de data plegen. In de eerder gegeven tabel zijn onder NON-EXTENDED I/O eveneens de twee EXTENDED I/O-instructies en handelingen opgenomen.

Het adresseren van een gering aantal I/O-apparaten (maximaal 8) kan op een simpele manier geschieden d.m.v. eenvoudige "EN"-schakelingen. Van het I/O-apparaat 0 (zie fig. 28) wordt een "EN"-schakeling verbonden met de draad $\overline{M/\overline{IO}}$ en ADR 0, van apparaat 1 met $\overline{M/\overline{IO}}$ en ADR 1, enz. t/m 7, samen met $\overline{M/\overline{IO}}$.

Met drievoudige "EN"-schakelingen en combinaties van deze adreslijnen (zie fig. 29) kan men tot 28 I/O-apparaten adresseren.

MEMORY MAPPED I/O-methodiek

Heeft men niet het gehele geheugen van 32K bytes nodig dan is het op een eenvoudige wijze mogelijk een groot aantal I/O-apparaten te adresseren, en wel op precies dezelfde wijze alsof men te maken heeft met een deel van het geheugen. De voordelen van deze methode zijn duidelijk, n.l. dat alle instructies, die op het geheugen betrekking hebben, hier ook gelden. In dit geval kan gebruik gemaakt worden van het schema zoals in fig. 27 is weergegeven, echter met het verschil dat er geen inversie van het $\overline{M/\overline{IO}}$ -signaal plaats heeft. Bovendien komen nu niet 8 bits in aanmerking voor de vergelijking, maar alle 15 bits. Een speciaal geval treedt op als het gebruikte geheugen niet groter is dan 16K bytes. In plaats van de lijn $\overline{M/\overline{IO}}$ kan nu gebruik worden gemaakt van de lijn ADR 14. Deze lijn geeft dan aan dat men zich in het MEMORY-MAPPED I/O-deel van de adresseerruimte bevindt. In combinatie met deze lijn kunnen nu weer de lijnen ADR 0/ADR 7 gebruikt worden om het desbetreffende I/O-apparaat te kiezen, een en ander volgens de figuren 28 en 29. De in deze figuren aanwezige controlelijn $\overline{M/\overline{IO}}$ wordt dan vervangen door de lijn ADR 14. Daar deze lijn echter ook gebruikt kan worden voor NON-EXTENDED I/O om aan te geven of het data dan wel controle-informatie is, dient men bij deze werkwijze de nodige voorzichtigheid te betrachten en kan het wenselijk zijn om geen NON-EXTENDED I/O toe te laten. In fig. 30 is een mogelijkheid van een MEMORY-MAPPED I/O weergegeven. Maakt men van de adresseermethodiek gebruik zoals deze is aangegeven in fig. 29, dan kan men tot 28 I/O-apparaten adresseren en toch over het gehele repertoire van de instructieset beschikken, zoals in het programmeerdeel van deze serie al werd vermeld.

COMMUNICATIE TUSSEN I/O-APPARATEN EN GEHEUGEN (DMA)

Vaak zal een I/O-apparaat zo veel informatie overdragen dat de microprocessor dit niet direct kan of zelfs mag verwerken. Een voorbeeld hiervan zijn een serie meetgegevens, waarvan het gemiddelde bepaald moet worden. De registratie van deze data geschiedt dan niet in de microprocessor, maar in het geheugen. Het verkrijgen van de informatie van de data van de I/O en het registreren in het geheugen kan volledig bestuurd worden door de microprocessor 2650. De instructies hiervoor zijn betrekkelijk eenvoudig. Het is een kleine lus, waarin bij de eerste instructie de data wordt gelezen; bij de tweede instructie wordt de data in het geheugen geplaatst onder besturing van een index, terwijl bij de derde instructie het index-register wordt bijgewerkt en tevens wordt nagegaan of het lezen is beëindigd. Dit kleine programma heeft echter al 9 cycli nodig, d.w.z. 27 klokperiodes van 800 ns elk, hetgeen overeenkomt met een totale uitvoeringstijd van ongeveer 22 μ s. Hierdoor kunnen per seconde niet meer dan 48000 bytes van een I/O-apparaat naar het geheugen worden overgedragen. Dit zal weliswaar voor veel apparaten voldoende zijn, maar er zijn er echter ook, die zeer snel data leveren, resp. kunnen registreren, zoals b.v. een "floppy disk". Een microprocessor zal de snelle datastroom van deze I/O-apparaten niet kunnen controleren, zodat een andere transmissieweg tot stand moet worden gebracht. Deze weg maakt gebruik van de databus. De I/O-apparatuur moet dan behalve de data ook het adres verstrekken waar de data in het geheugen geregistreerd dient te worden, zie fig. 31. Daartoe beschikt de I/O-apparatuur over een teller waarin initieel het adres van de eerste byte is geplaatst. Voorts is een z.g. bloklength-teller aanwezig die het aantal van de over te dragen bytes registreert. Bij elke byte die een I/O-apparaat nu aan het geheugen overdraagt, wordt de adresteller met 1 verhoogd en de bloklength-teller met 1 verlaagd. Zodra de bloklength-teller 0 is geworden, wordt het proces beëindigd.

Daar de databus, de adresbus en ook de controlebus nu gebruikt worden voor de communicatie tussen het geheugen en het I/O-apparaat – ook wel aangeduid als DMA (Direct Memory Access) – dient ervoor gezorgd te worden dat de microprocessor 2650 van deze bussen geen gebruik meer kan maken (zie fig. 32). Om dit te bewerkstelligen, geeft men een logische "0" op de controledraad $\overline{\text{PAUSE}}$. De 2650 beëindigt een cyclus, en i.p.v. een nieuwe cyclus te gaan uitvoeren, beantwoordt hij dit signaal met het zetten van een logische "0" op de draad $\overline{\text{RUN/WAIT}}$. Dit gebeurt op zijn hoogst één cyclustijd later. De combinatie van beide signalen informeert het desbetreffende I/O-apparaat dat het mogelijk is, van de bussen gebruik te maken. De combinatie van beide signalen doet eveneens dienst om de adreslijnen ADR

13 en ADR 14 zo nodig te isoleren, daar deze draden een dubbele functie bezitten en ook deze dubbele functie buiten gebruik dient te worden gesteld. Teneinde tevens de databus en de overige lijnen van de adresbus buiten gebruik te stellen, worden op de ingangen Adres Enable en Databus Enable ($\overline{\text{ADREN}}$ en $\overline{\text{DBUSEN}}$) een logische "1" geplaatst. Dit heeft dan tot gevolg dat tristate uitgangen van de data- en adresbussen in een derde toestand overgaan en daardoor een hoge impedantie aannemen. De bussen zijn nu gereed voor externe communicatie. De I/O-apparatuur dient de functie van een aantal besturingsdraden over te nemen, o.a. $\overline{\text{M/I\bar{O}}}$, $\overline{\text{R/W}}$, $\overline{\text{WRP}}$, $\overline{\text{OPREQ}}$. Zodra de microprocessor 2650 in de wachtstand overgaat, wordt de lijn $\overline{\text{M/I\bar{O}}}$ "hoog" evenals de lijn $\overline{\text{WRP}}$. De overige genoemde lijnen zijn alle "laag". Het overnemen van de functies kan dan geschieden door "EN"-schakelingen te plaatsen in de lijnen $\overline{\text{M/I\bar{O}}}$ en $\overline{\text{WRP}}$ en "OF"-schakelingen in de lijnen $\overline{\text{R/W}}$ en $\overline{\text{OPREQ}}$. De besturingsfuncties moeten nu door het I/O-apparaat verricht worden, waardoor de controlebus wederom in zijn oorspronkelijke status kan werken.

De $\overline{\text{ADREN}}$ en de $\overline{\text{DBUSEN}}$ zijn normaal gesproken alle "laag", en uitsluitend als men andere apparatuur dan de microprocessor 2650 op de bussen wenst aan te sluiten, worden ze van de logische "1" voorzien. Als er geen apparatuur is die van deze bussen gebruik maakt, dan kan men beide pennen permanent met aarde verbinden.

Voor het DMA-mechanisme heeft de I/O-apparatuur behalve een adres de lengte van het blok nodig. Het adres (2 bytes) en de bloklength (laten we aannemen ook 2 bytes) moet door de microprocessor 2650 bij het initialiseren van de I/O-operatie verstrekt worden. Dit kan gebeuren door het verrichten van de normale Write Extended (WRTE)-instructies. De I/O zal er zelf voor moeten zorgen dat de verstrekte bytes in de juiste registers worden geplaatst. Men kan dit doen door te tellen dan wel door het I/O-apparaat verschillende adressen te geven. Elk adres doet dienst voor de bestemming van een bepaalde byte. De ontwerper dient terdege te beseffen dat de multi-adresseermogelijkheid voor de data in een I/O-apparaat veel faciliteiten biedt.

In fig. 32 is een mechanisme getekend voor de aanvraag van een DMA. Als echter verschillende I/O-apparaten een aanvraag wensen te plegen voor het gebruik van de bussen, d.w.z. voor de DMA, dan zal er een mechanisme moeten zijn dat toewijzingen verricht, de zogenaamde "arbiter". Het mechanisme van een arbiter komt overigens ook ter sprake in het volgende hoofdstuk, dat de interrupts behandelt. Het daarin beschreven arbiter-mechanisme is eveneens bruikbaar voor de DMA-aanvraag, zodat de lezer hiernaar wordt verwezen.

HET INTERRUPT-MECHANISME

Als een I/O-apparaat op een bepaald moment de microprocessor 2650 nodig heeft voor het verrichten van bepaalde functies, dan kan het dit kenbaar maken over de lijn Interrupt Request (INTREQ). Het gevolg is, dat de microprocessor de lopende instructie afhandelt en geen nieuwe instructie zal opvragen in het geheugen. Voorts wordt de Interrupt Inhibit (II) bit in het PSW in de "1" stand gezet. Hierdoor kunnen geen nieuwe interrupts meer gehonoreerd worden. Verder signaleert de microprocessor 2650 deze acties via de besturingsdraad Interrupt Acknowledge (INTACK) aan de apparatuur. Deze dient te wachten tot dit signaal gegeven wordt. Vervolgens beëindigt de I/O de interrupt. Dit is een z.g. "hand-shake" mechanisme. Naast deze acties geeft de microprocessor zelf een operatiecode, en wel de "Zero Branch to Subroutine Relative" (ZBSR) instructie-code. Dit heeft tot gevolg dat het adres in het Instructie Adres Register (IAR) op de "stapel" wordt geplaatst en dat er een nieuw adres moet worden verstrekt. De ZBSR-instructie heeft een adresseergebied dat relatief is t.o.v. het absolute "0"-adres van het werkgeheugen. Het relatieve adres dient door de aanvrager, b.v. een I/O-apparaat, verstrekt te worden. Eerst zal nu behandeld worden hoe dit relatieve adres wordt gegenereerd, en wat de gevolgen zijn van de Interrupt Acknowledge (INTACK). Vervolgens wordt behandeld hoe de microprocessor 2650 ten dienste zal worden gesteld voor het desbetreffende I/O-apparaat. Daarna zal een arbiter worden verklaard, zoals deze dienst kan doen voor het interruptie-mechanisme evenals voor DMA-aanvragen.

Als men een I/O-apparaat een interrupt wil laten plegen (zie fig. 33), dan moet dit hiertoe het initiatief nemen door de flip-flop A in de "1"-stand te zetten. Hierdoor wordt de Interrupt Request lijn (INTREQ) "laag" en is de interrupt-aanvraag gerealiseerd. Het omklappen van flip-flop A heeft tevens tot gevolg dat de ingang van de D-flip-flop B een "1" aangeboden krijgt. Als een Interrupt Acknowledge door de microprocessor 2650 wordt afgegeven, dan zal deze flip-flop de "1"-stand aannemen en de uitgang zal aan de arbiter vragen om te bemiddelen bij het verkrijgen van toegang tot de microprocessor. Dit geschiedt door over de Arbiter Request lijn (ABREQ) een logische "1" aan de arbiter aan te bieden. De arbiter kan hierop antwoorden via de Arbiter Acknowledge-lijn (ABACK). Een "1" op deze lijn betekent dat het desbetreffende I/O-apparaat gebruik mag gaan maken van het Interrupt mechanisme. Zowel de aanvraag als het antwoord worden beide aan de "EN"-schakeling C aangeboden. In de tussentijd tracht de microprocessor de ZBSR-instructie uit te voeren. Dit betekent dat op de Operation Request (OPREQ)-lijn een "1" wordt geplaatst en deze "1" komt eveneens op de "EN"-schakeling C.

Tesamen met de Interrupt Acknowledge (INTACK), zijn nu voldoende kenmerken verkregen om vast te stellen dat de interrupt is gehonoreerd. De "EN"-schakeling C geeft nu

een "hoog" signaal af, waardoor het adres gepresenteerd kan worden aan de DBUS. Bovendien wordt op de OPACK-lijn een signaal gegeven welk aangeeft dat het I/O-mechanisme heeft gereageerd. De "timing" komt overeen met die van het leesmechanisme. Dit is voor de microprocessor 2650 aanleiding om de informatie van de DBUS over te nemen. Van dit signaal wordt ook een "reset" van de flip-flop A afgeleid, waardoor de aanvraag van de interrupt van dit moment af wordt onderdrukt. Afhankelijk van de voortgang van het systeem, wordt daarna ook de flip-flop B in de "0"-stand teruggeplaatst.

Moet de microprocessor 2650 de I/O-apparatuur ondersteunen, dan zal daartoe een programma nodig zijn. Dit programma begint op een bepaald adres en wordt geïnterpreteerd als een subroutine. De ZBSR-instructie kent de relatieve adressering t.o.v. het adres "0" in het geheugen. Het door het I/O-apparaat verstrekte adres bestrijkt de eerste 64 bytes, resp. de laatste 64 bytes van pagina 0. Het is nauwelijks mogelijk om in een dergelijk klein gebied een programma onder te brengen. De beste wijze om te adresseren is dan ook om gebruik te maken van de indirecte adressering. Hiertoe moet de meest significante bit die het I/O-apparaat verstrekt, een "1" zijn. In dit geval worden de geadresseerde bytes opgevat als het effectieve adres en wordt een sprong naar dat adres gemaakt. Een en ander overeenkomstig het al eerder behandelde mechanisme bij de indirecte adressering (zie ook fig. 10, 11, 12 en 13). Op deze wijze is het mogelijk om in totaal 63 subroutines te bereiken. Elke subroutine heeft namelijk 2 bytes nodig voor het effectieve adres in het gebied rond het "0"-punt van pagina 0. Daar dit in totaal 128 bytes beslaat, zijn er dus 63 subroutines bereikbaar. De bytes op adres "0" en "1" zijn niet bruikbaar omdat hier een instructie dient te staan voor het starten van de microprocessor 2650. Deze instructie is minimaal 2 bytes groot, b.v. een relatieve adressering die een effectief indirect adres kan aanwijzen net boven het gebied van de 64 bytes, m.a.w. het adres 64: op deze plaats staat dan de meest significante byte van het adres; zie fig. 34.

De Arbiter heeft tot functie te bemiddelen als er een aantal I/O-apparaten toegang tot de microprocessor vragen, resp. dat er verschillende DMA-verzoeken aanwezig zijn.

Een methodiek voor het realiseren van deze Arbiter is het gebruik maken van z.g. priority-encoders. Deze priority-encoders hebben een aantal z.g. meldlijnen (Request Lines) en selecteren zelfstandig de lijn met de hoogste prioriteit. Nadat dit is gedaan, wordt over een aantal codelijnen het nummer van deze lijn doorgegeven. Is dit een maal geschied, dan kan een andere lijn de reeds toegewezen prioriteit niet meer veranderen. Aan de uitgang van de priority-encoder beschikken we dus over de identiteit van de aanvrager met de hoogste prioriteit. Wordt dit adres overgedragen aan een decoder, dan zal daar, uit de uitgangen, één bepaalde wor-

den geselecteerd, die overeenkomt met de gegeven identiteit. Als deze lijn wordt teruggevoerd naar het I/O-apparaat van de aanvrager, dan kan deze hieruit afleiden dat het hem toegestaan is hetzij het DMA, dan wel het interrupt-mechanisme in werking te stellen. Figuur 35 geeft dit schematisch weer. Op een priority-encoder zijn twee aanvragers. Van deze aanvragers wordt van één de identiteit bepaald, in dit geval nummer 1. Deze identiteit wordt aan de decoder overge-

dragen, die daarna uitgang 1 voorziet van het kenmerk dat ervoor zorgt, dat het DMA of het interrupt-mechanisme in werking wordt gesteld.

Zijn er meer dan 8 aanvragers mogelijk, dan kan men door een stelsel van priority-encoders en -decoders een mechanisme opbouwen dat ook dit grotere aantal kan bedienen. Hiervoor verwijzen we de lezer naar de literatuur over priority-encoders.

RESET

Een RESET-sigitaal zorgt ervoor dat de microprocessor 2650 met de uitvoering van een programma kan beginnen op een bekende plaats van het geheugen. In dit geval is dat geheugenplaats 0. Daartoe zorgt het RESET-sigitaal ervoor dat het IAR in de "0" wordt gezet. Voorts wordt de II-bit in het PSW op "0" gezet. Er behoeft geen synchronisatie aanwezig

te zijn tussen de kloksignalen en het RESET-sigitaal.

Als de INTERRUPT wordt gecombineerd met een RESET, dan zal de eerste instructie van het interrupt-adres verkregen worden, d.w.z. van de byte die verstrekt wordt door een I/O-apparaat. Op deze wijze is het mogelijk een programma op een gegeven plaats te laten starten.

KLOK-INGANG

De "klok"-ingang is een "impulstrein" die de snelheid van de microprocessor 2650 bepaalt. De klokfrequentie mag

maximaal 1,25 MHz bedragen voor de microprocessor 2650A en maximaal 2,0 MHz voor de 2650A-1.

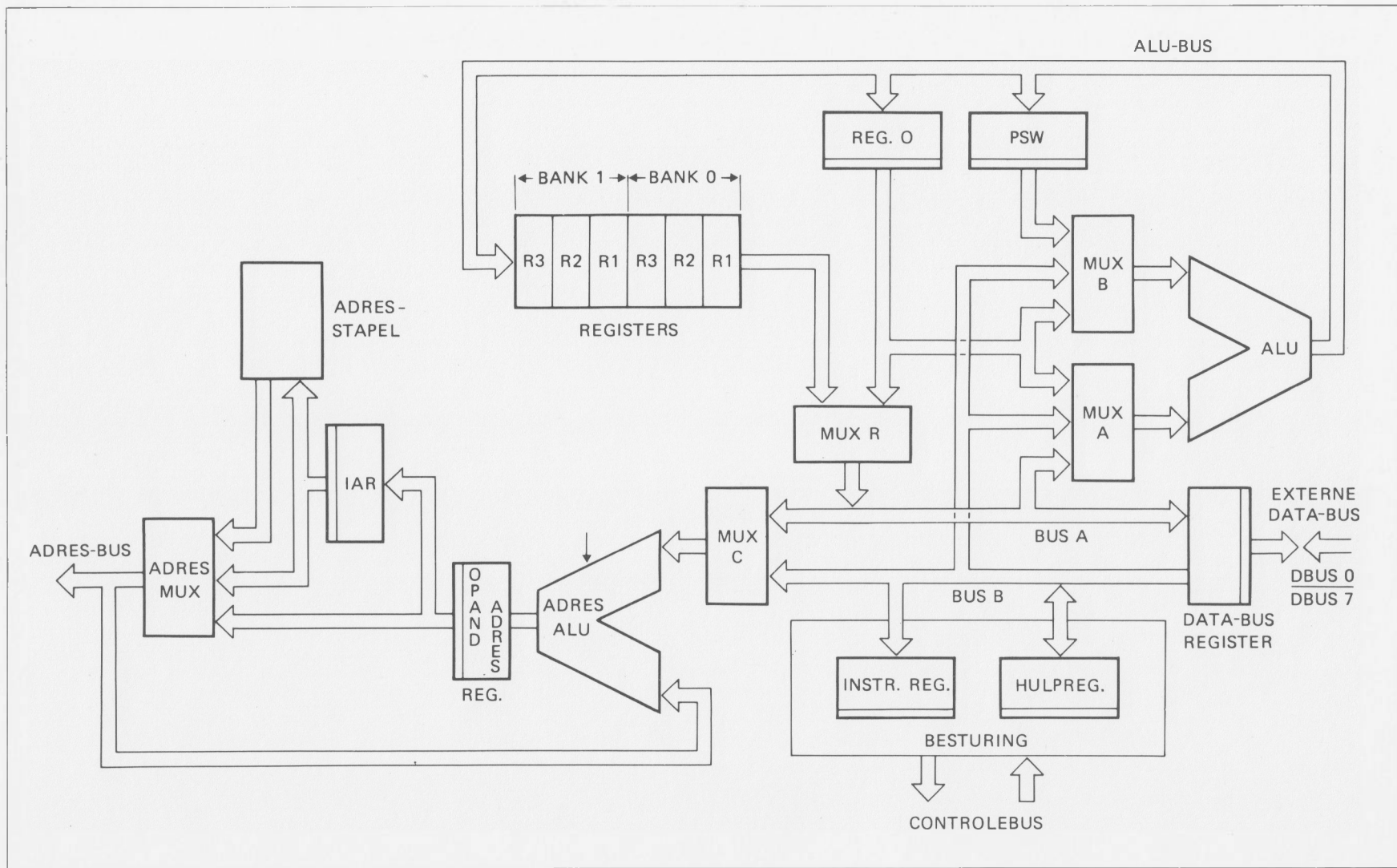


Fig. 1 Blokschema van de 2650.

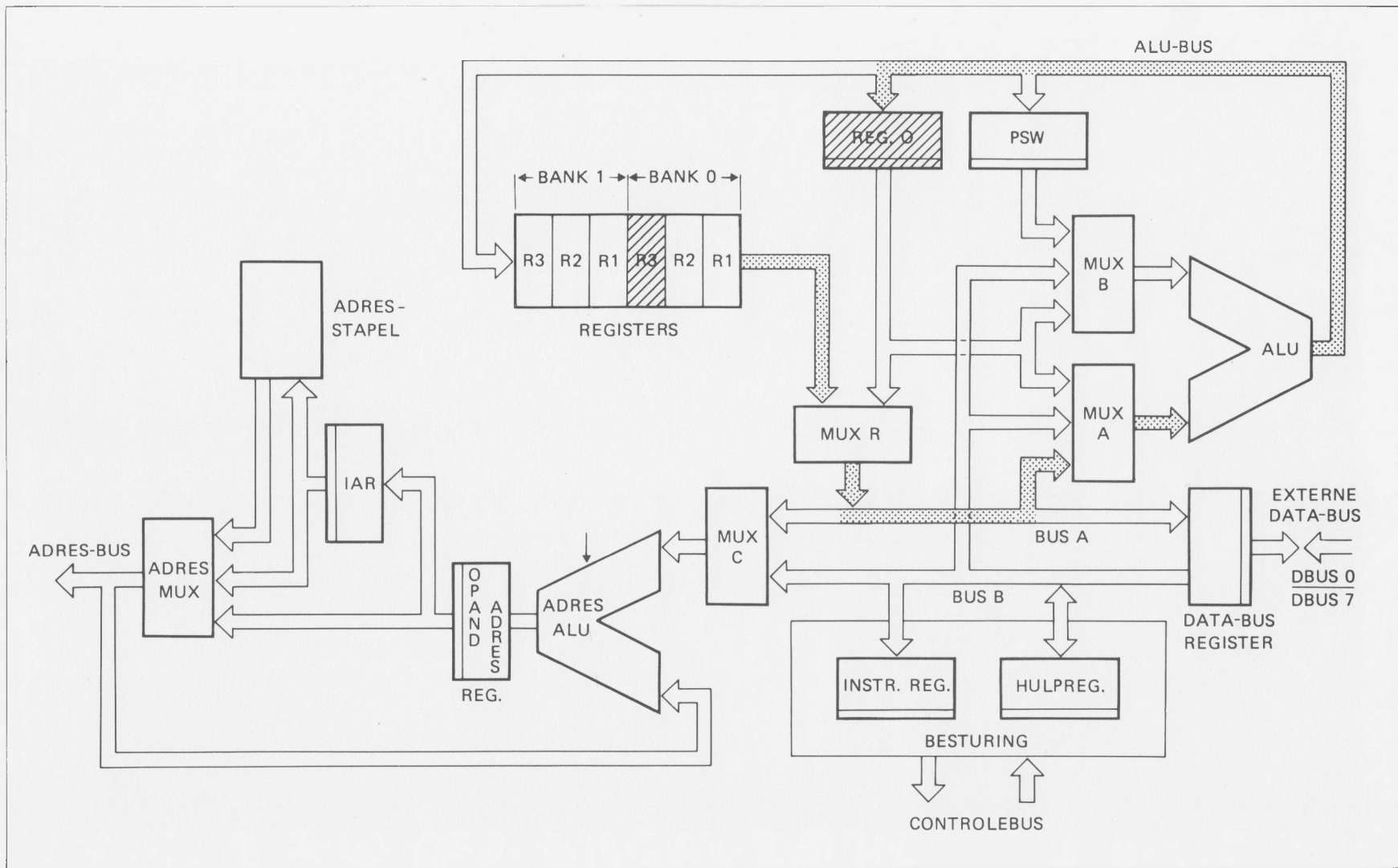


Fig.2 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

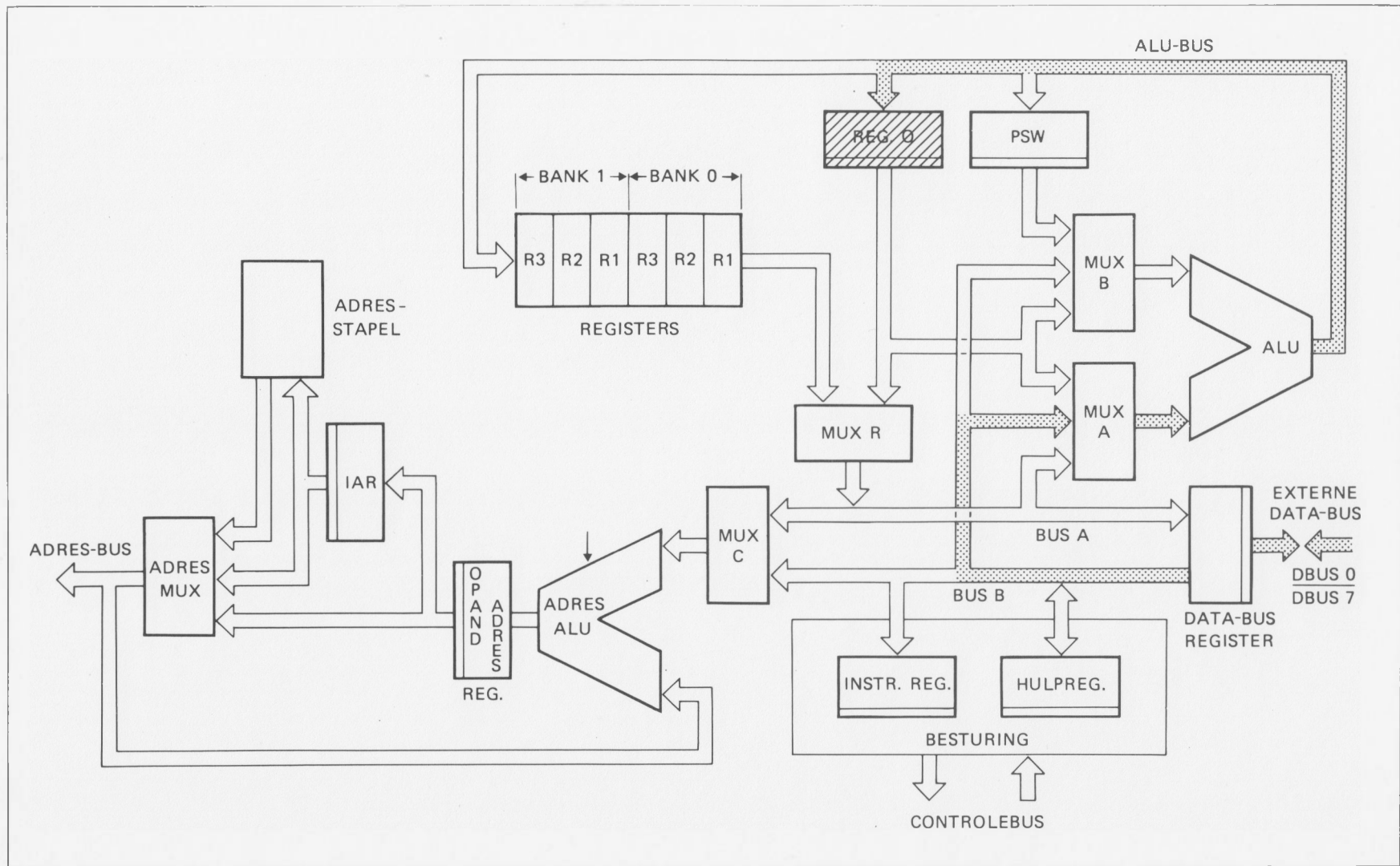


Fig. 3 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

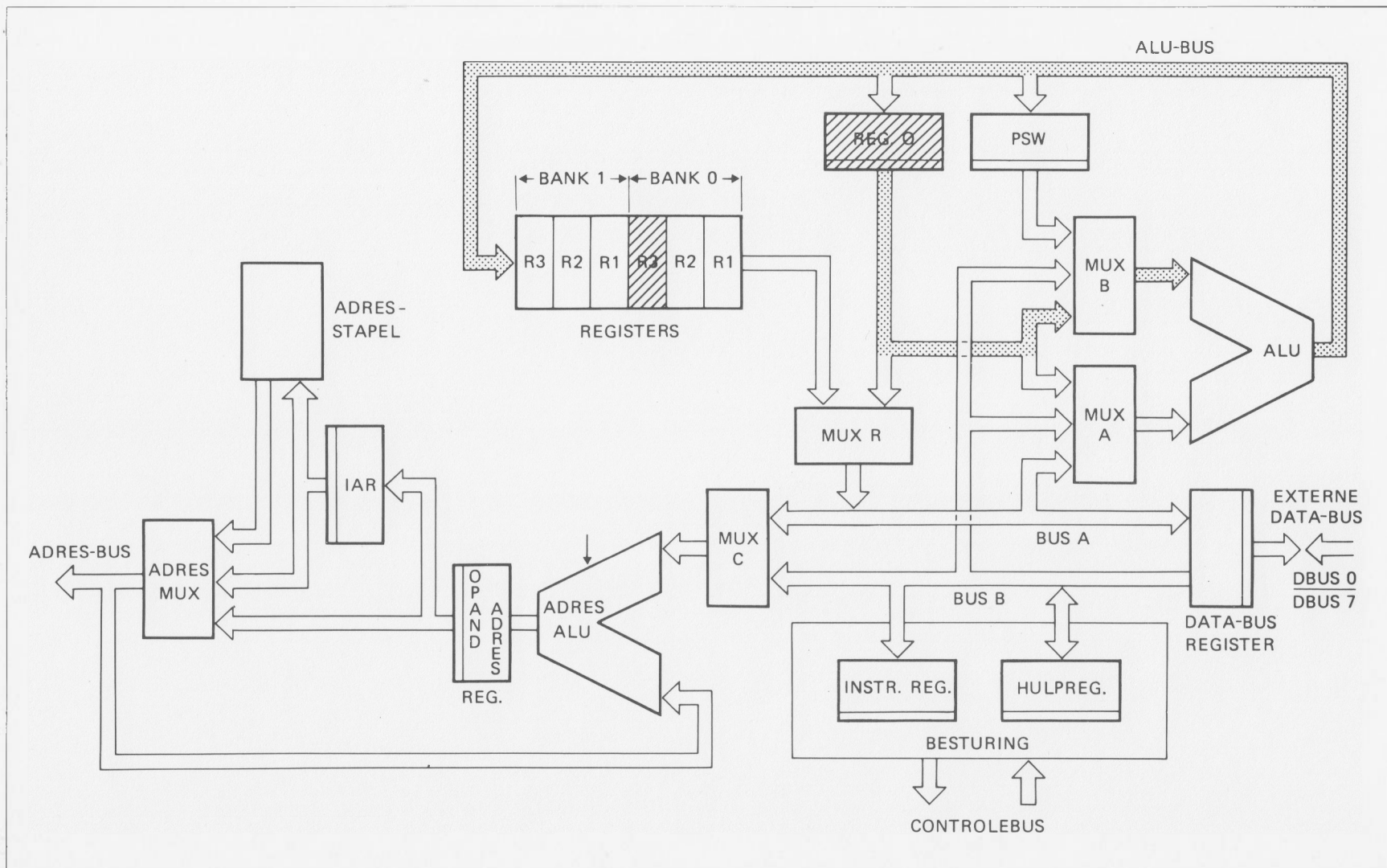


Fig. 4 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

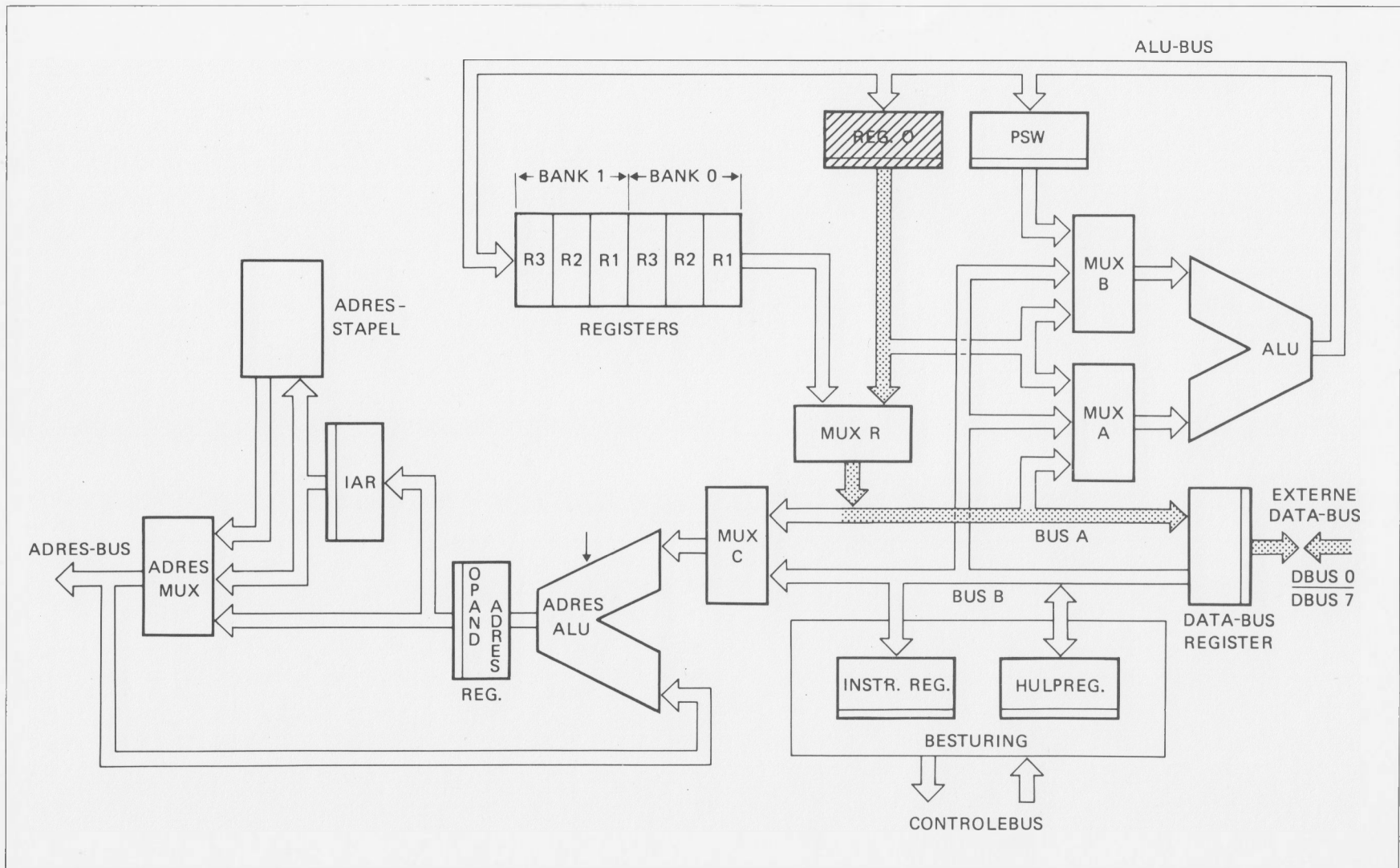


Fig. 5 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

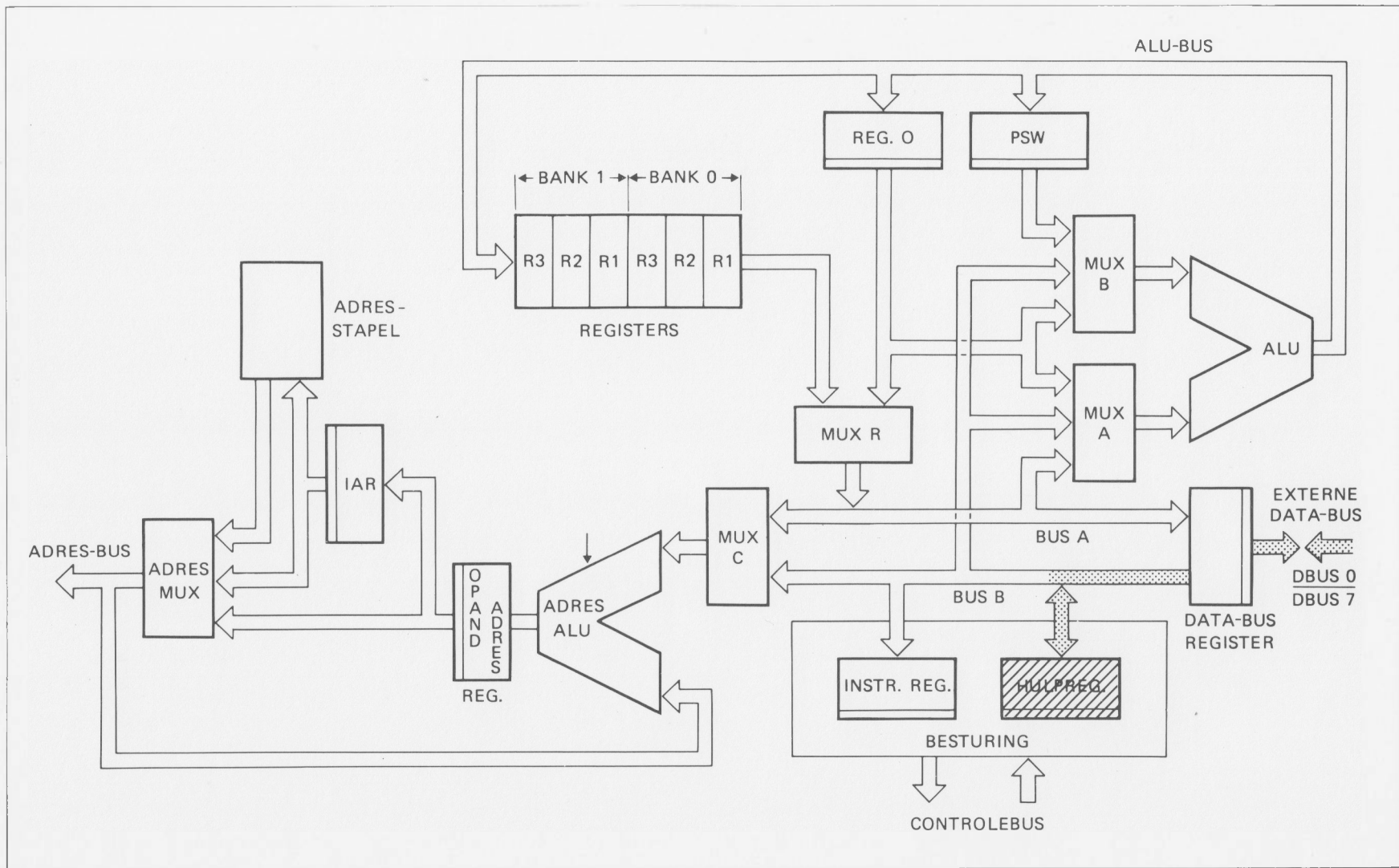


Fig. 6 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

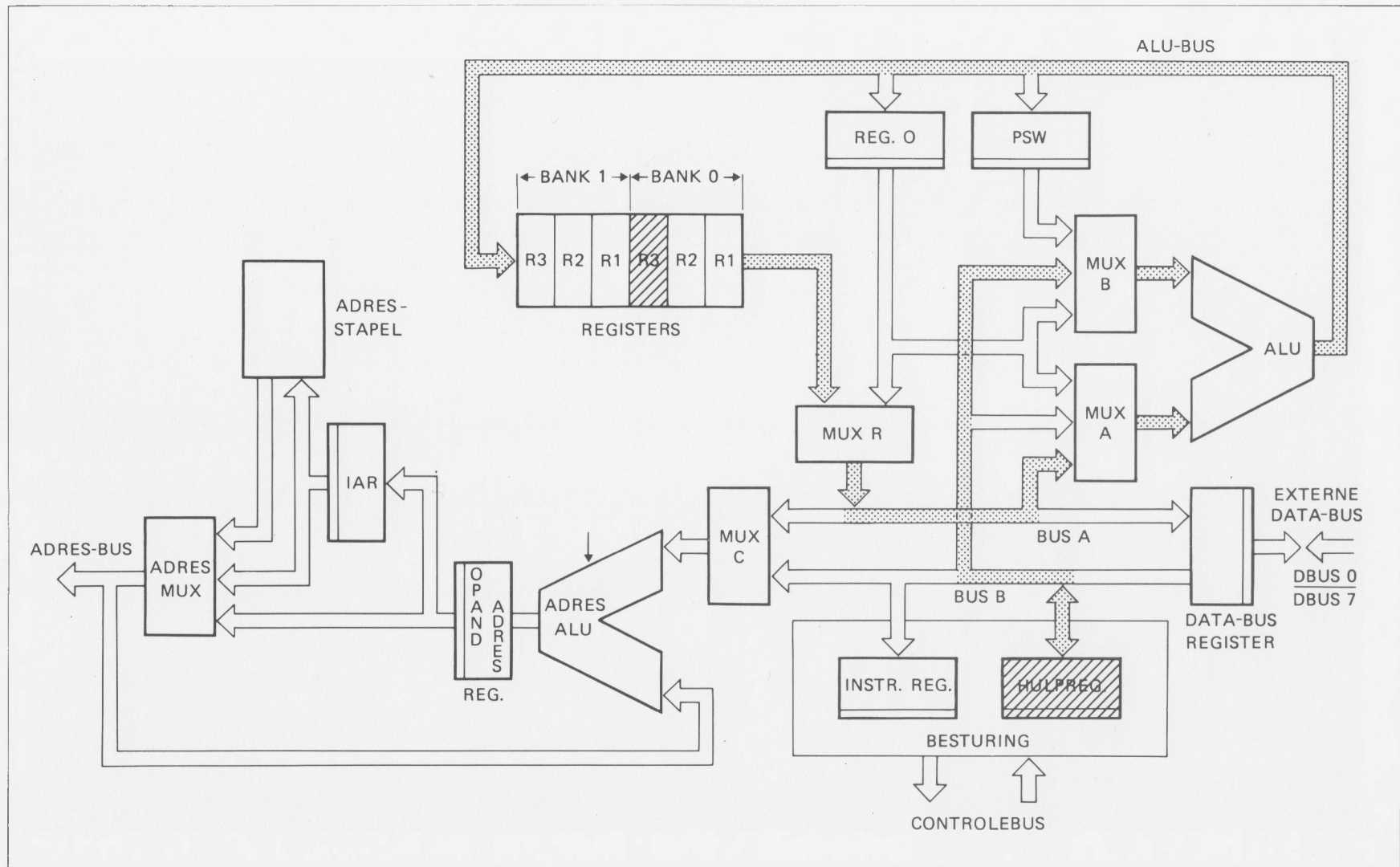


Fig. 7 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

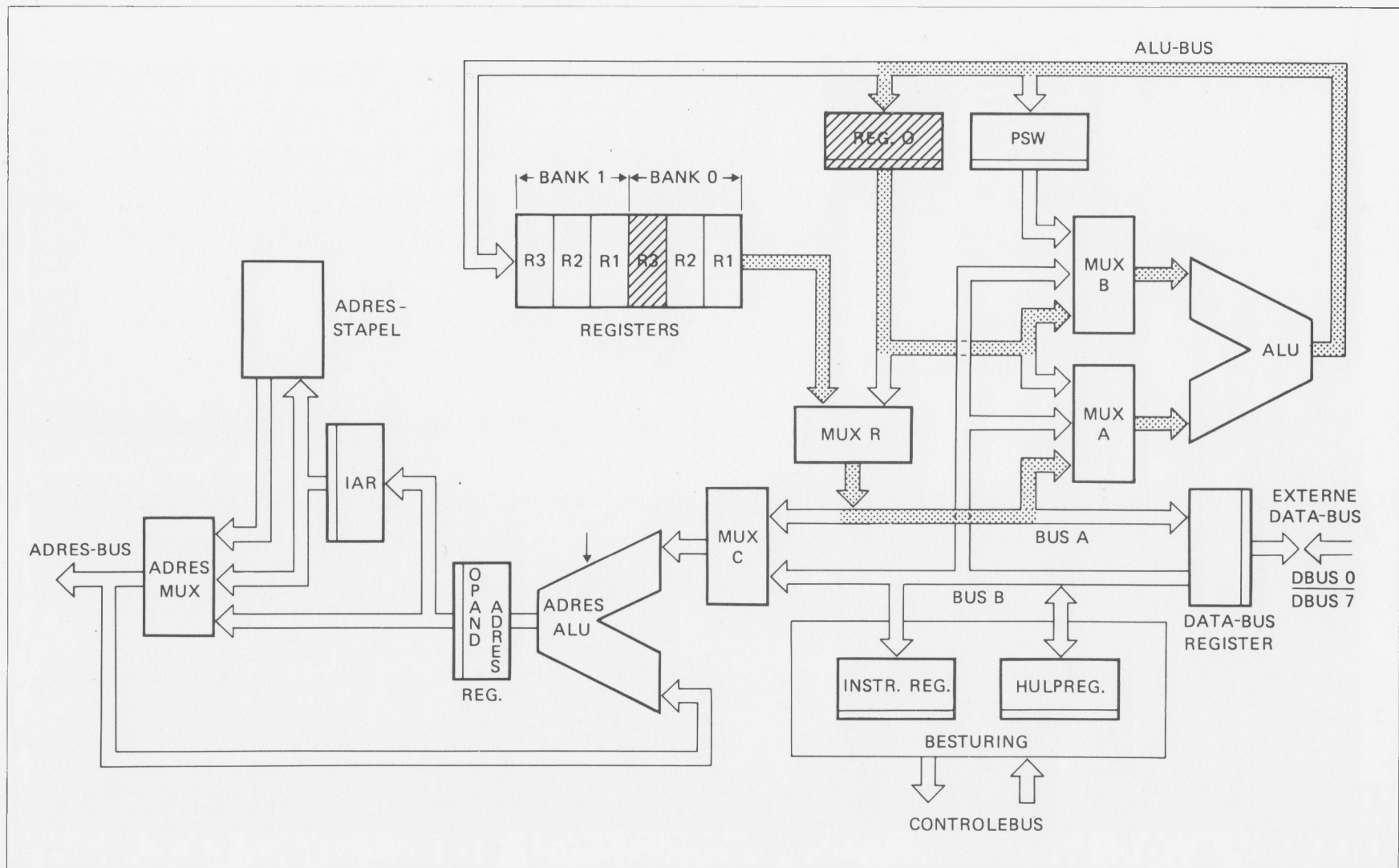


Fig. 8 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

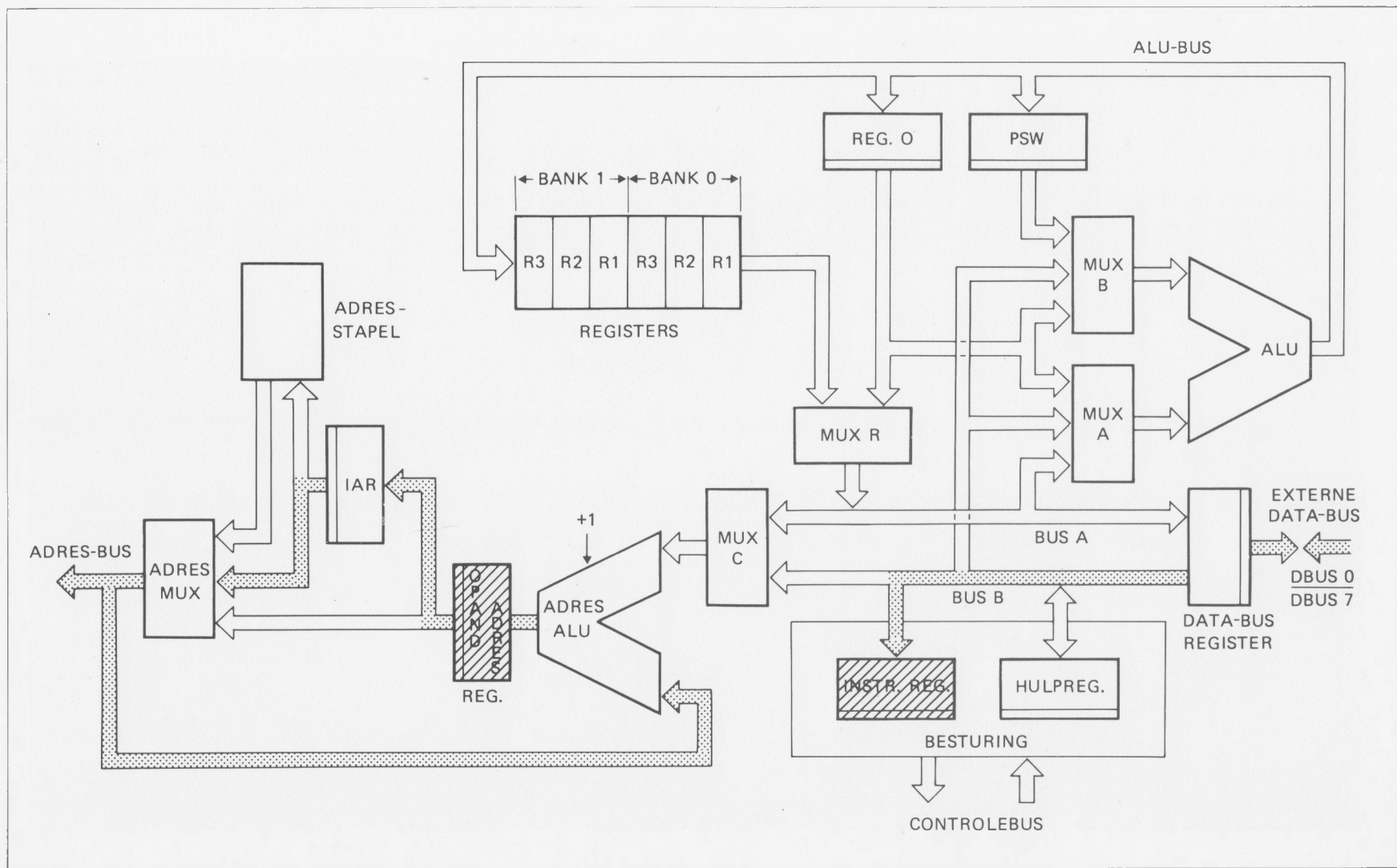


Fig. 9 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

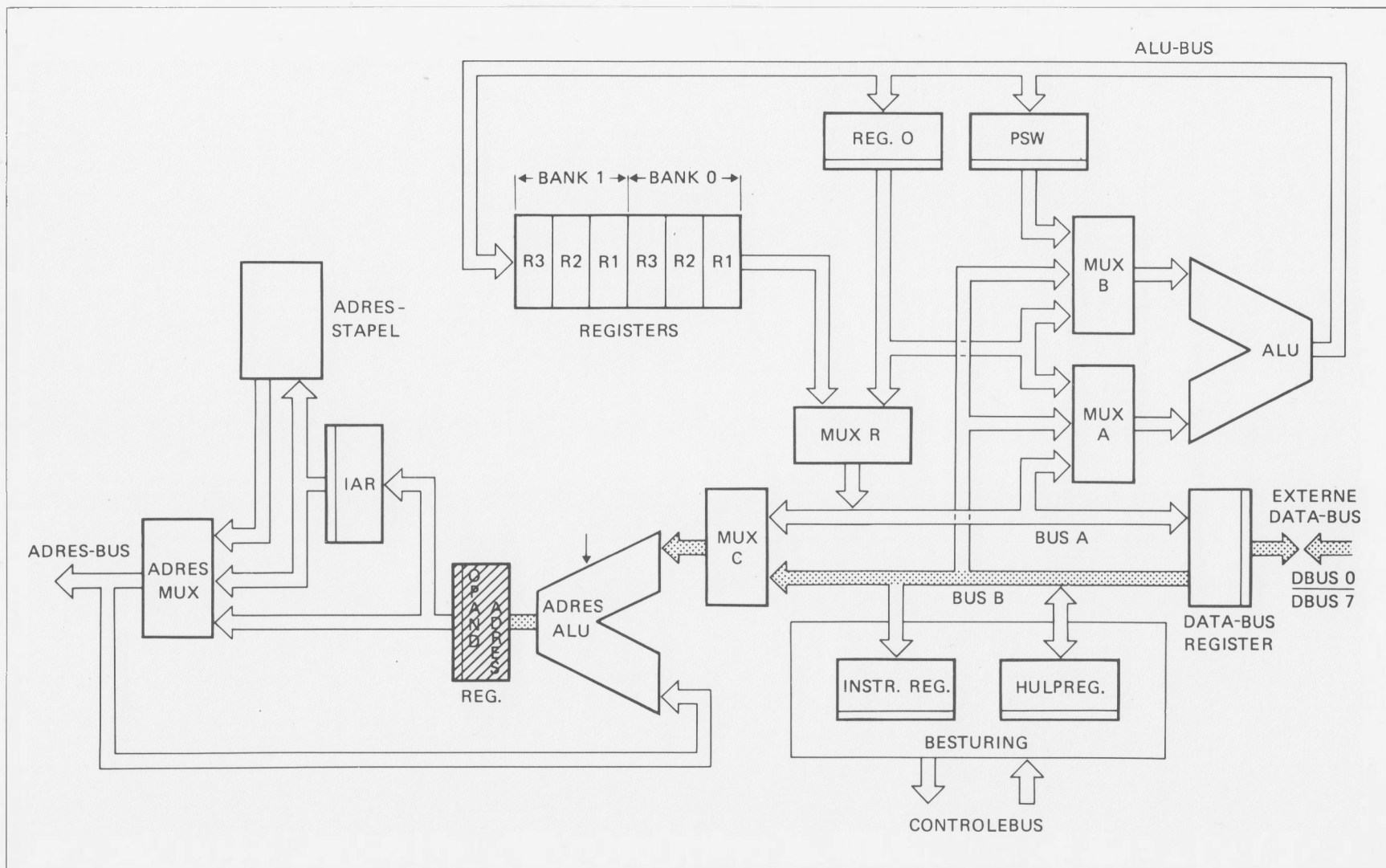


Fig. 10 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

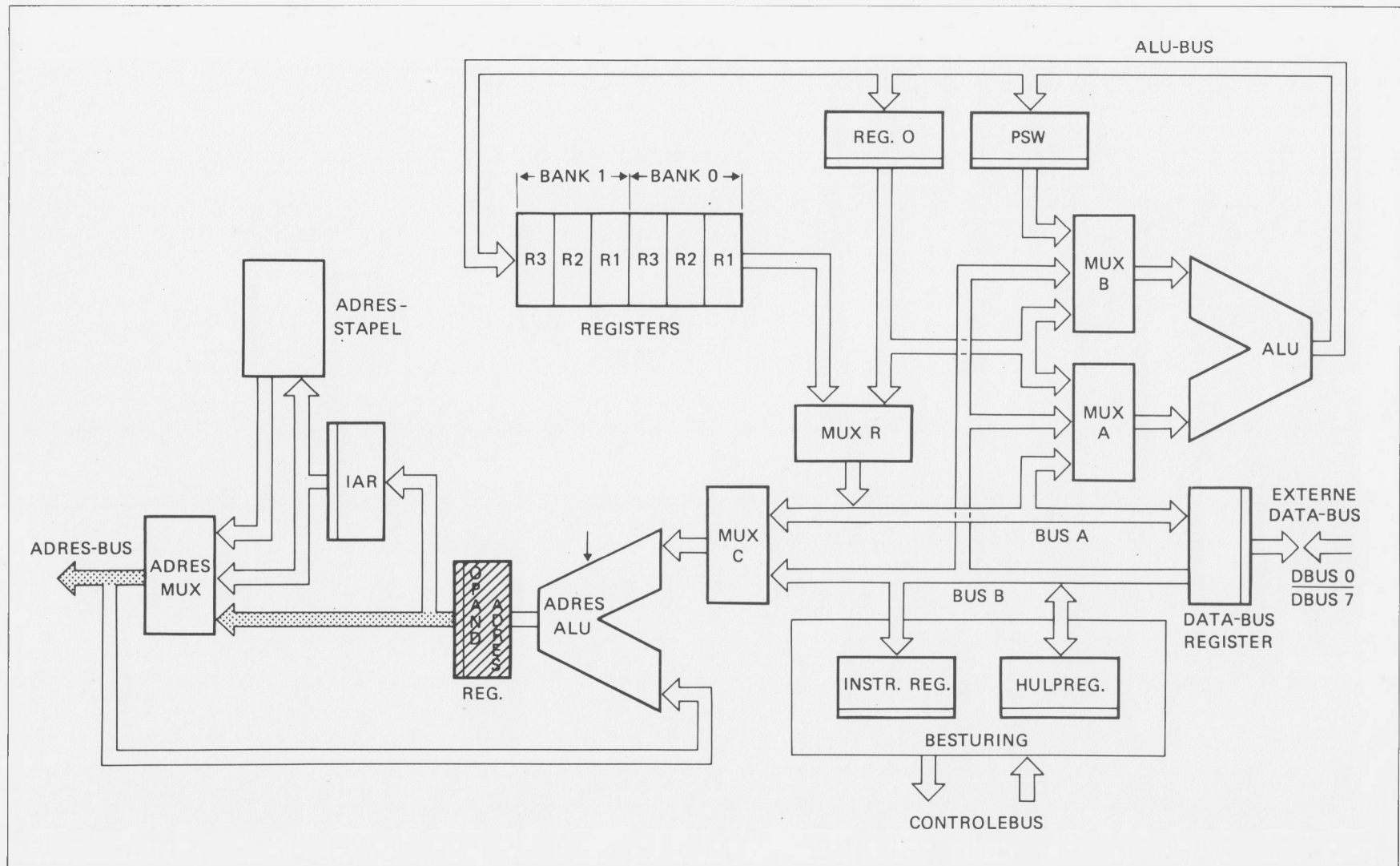


Fig. 11 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

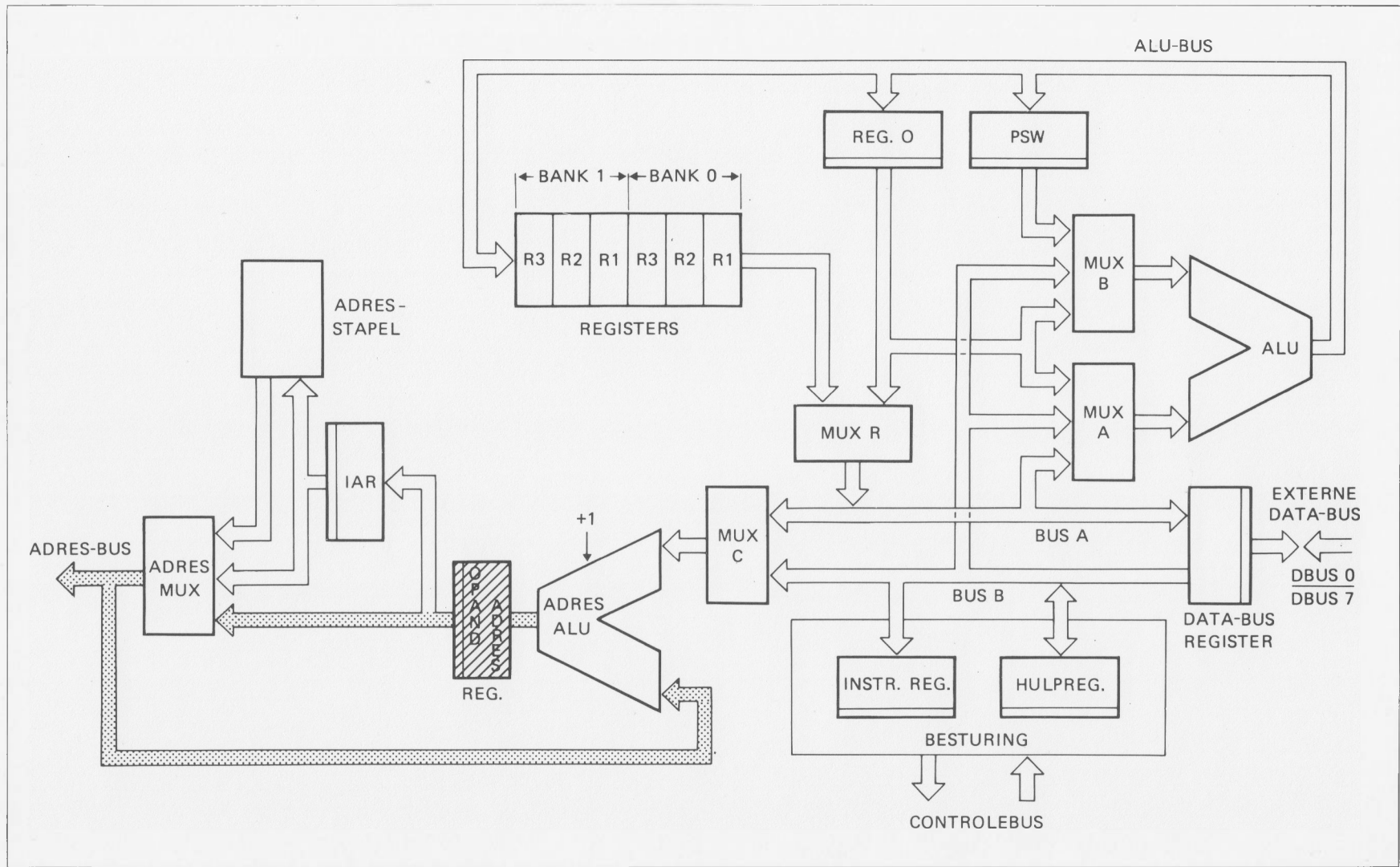


Fig. 12 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

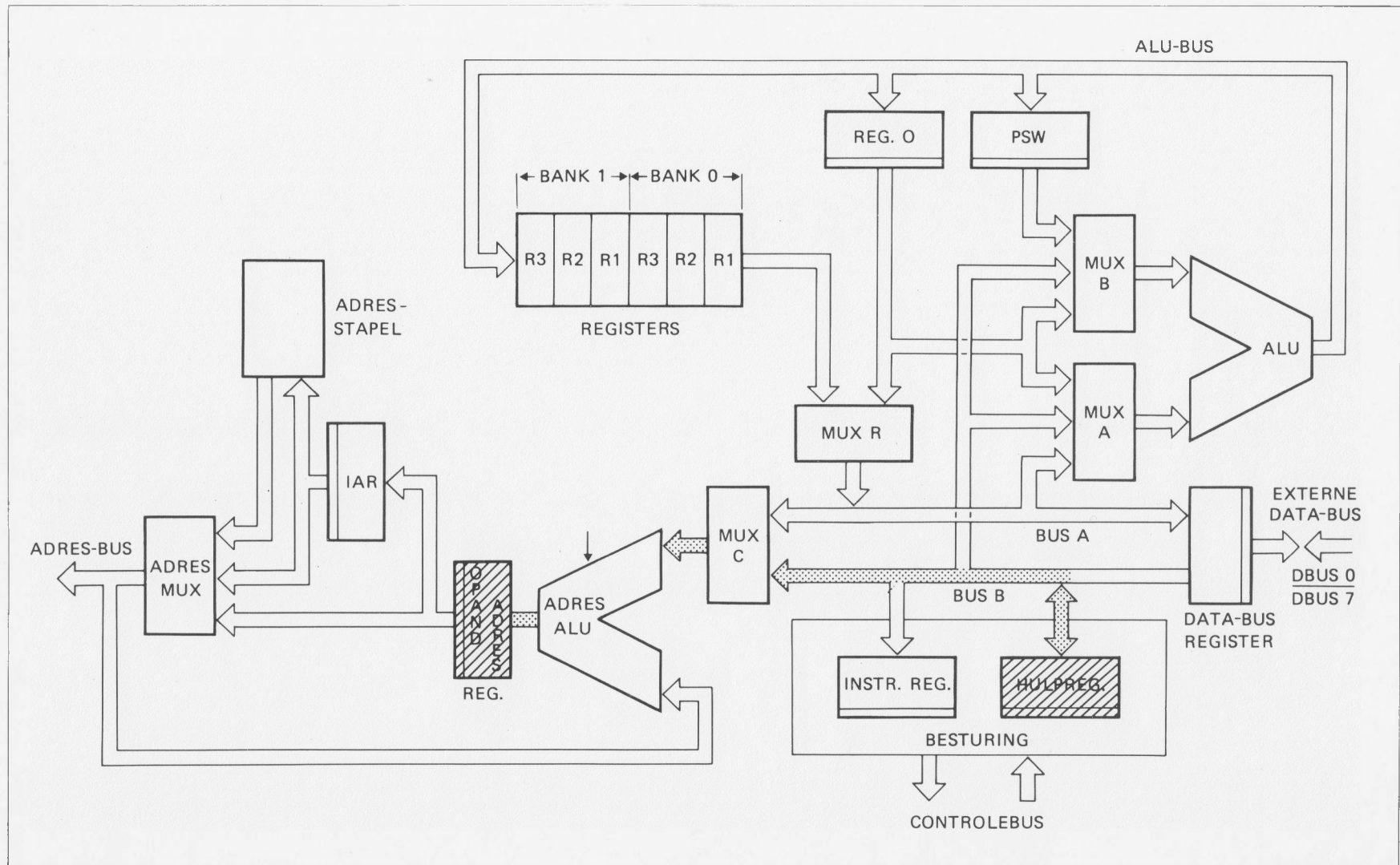


Fig. 13 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

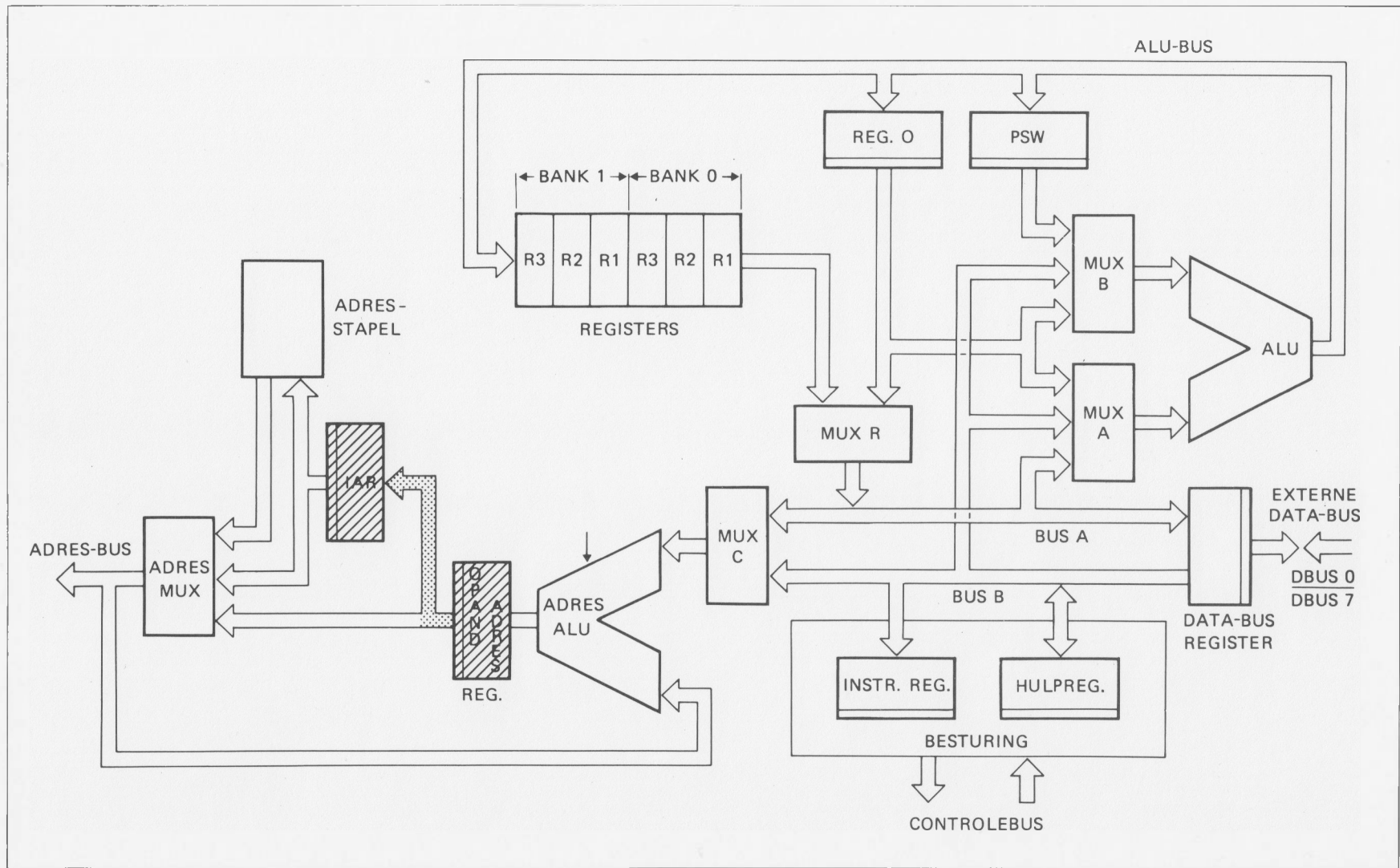


Fig. 14 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

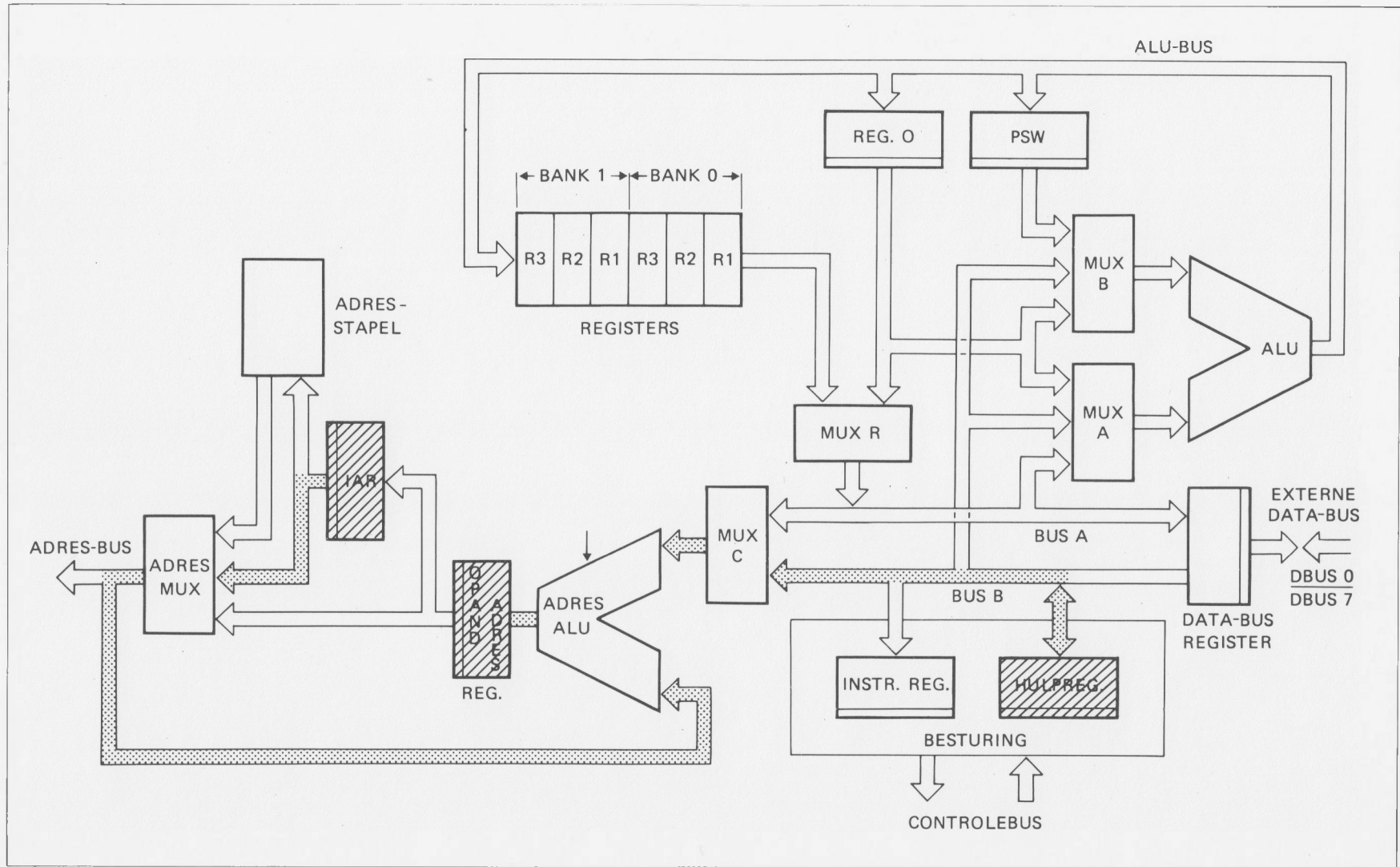


Fig. 15 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

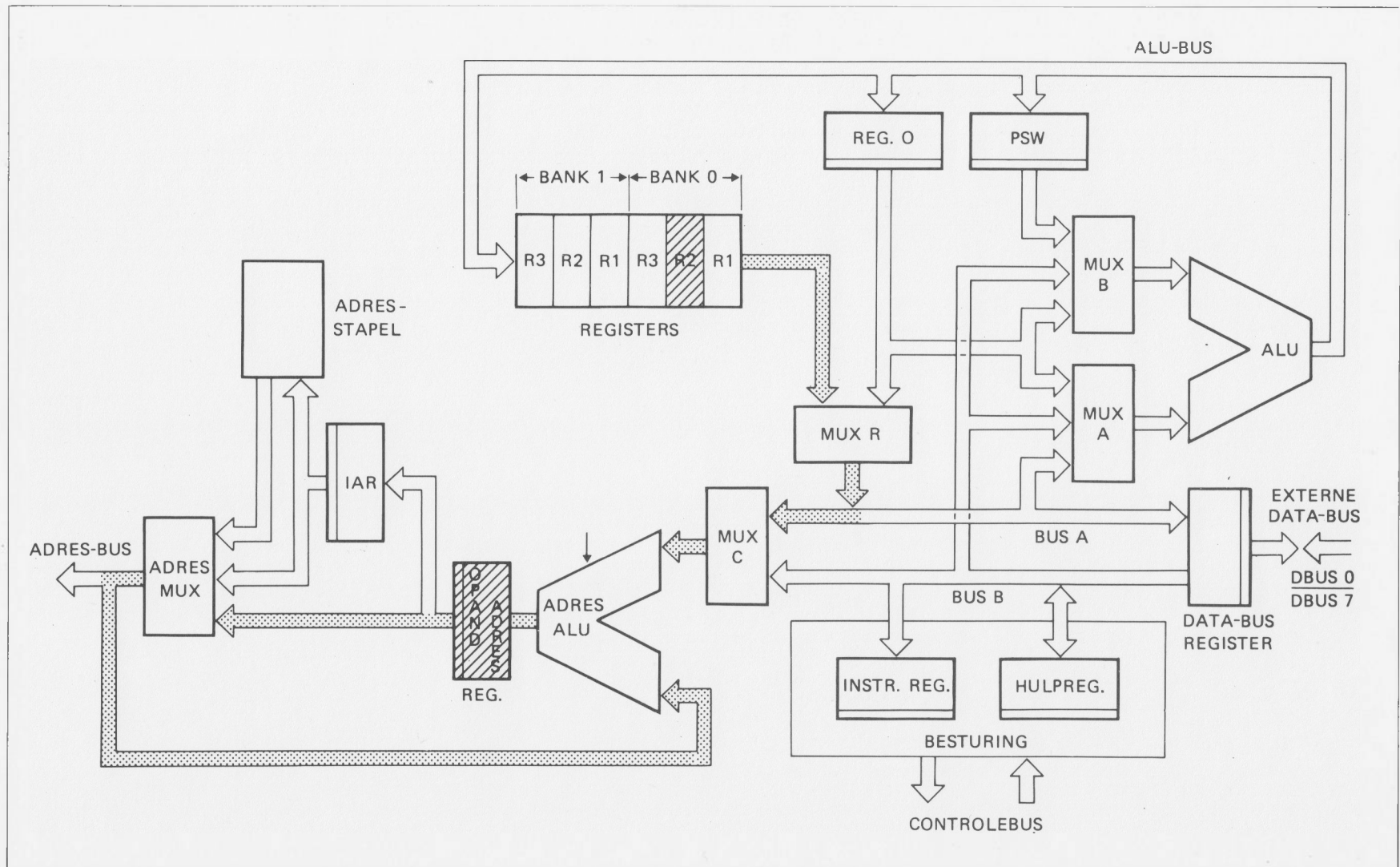


Fig. 16 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

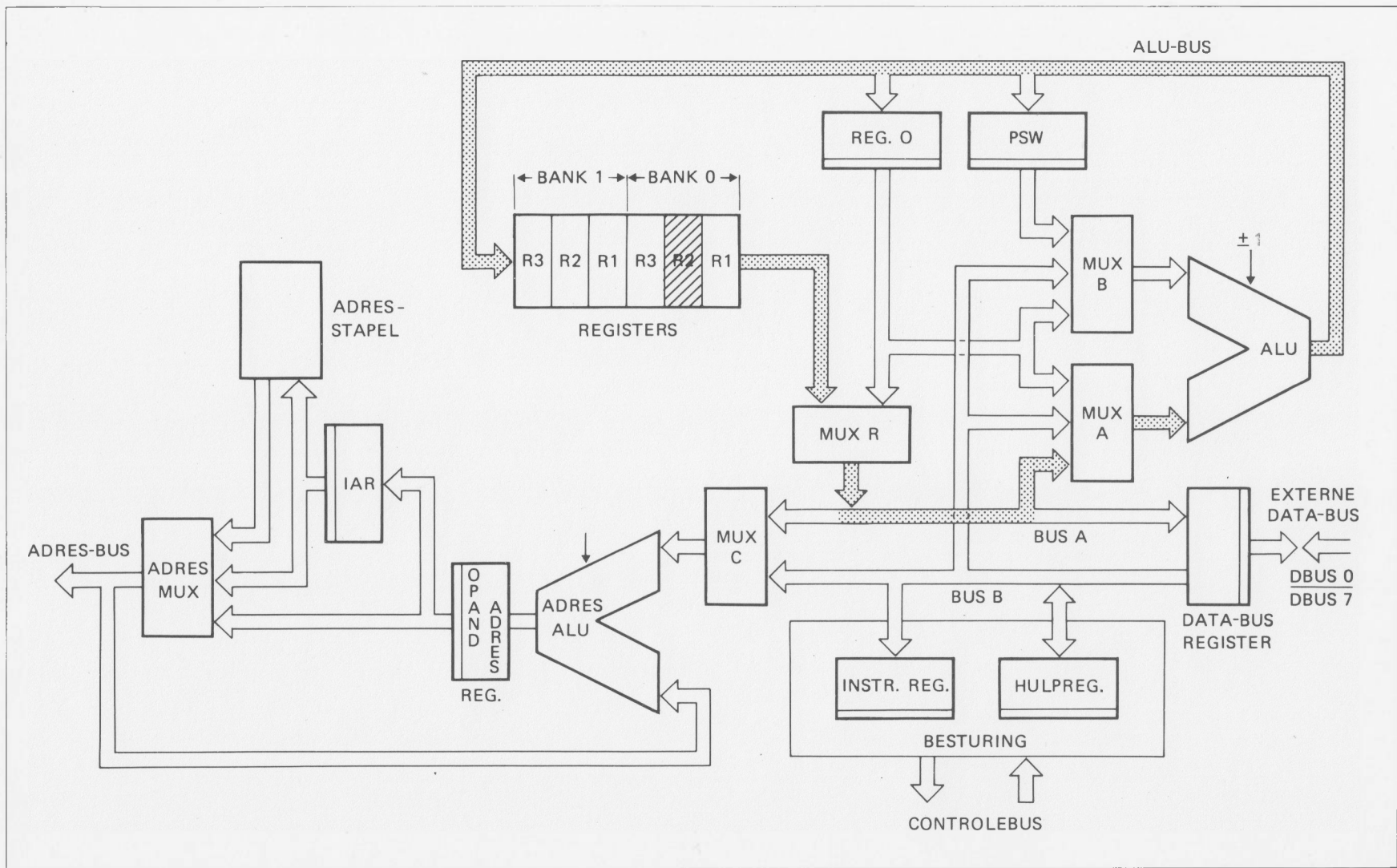


Fig. 17 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

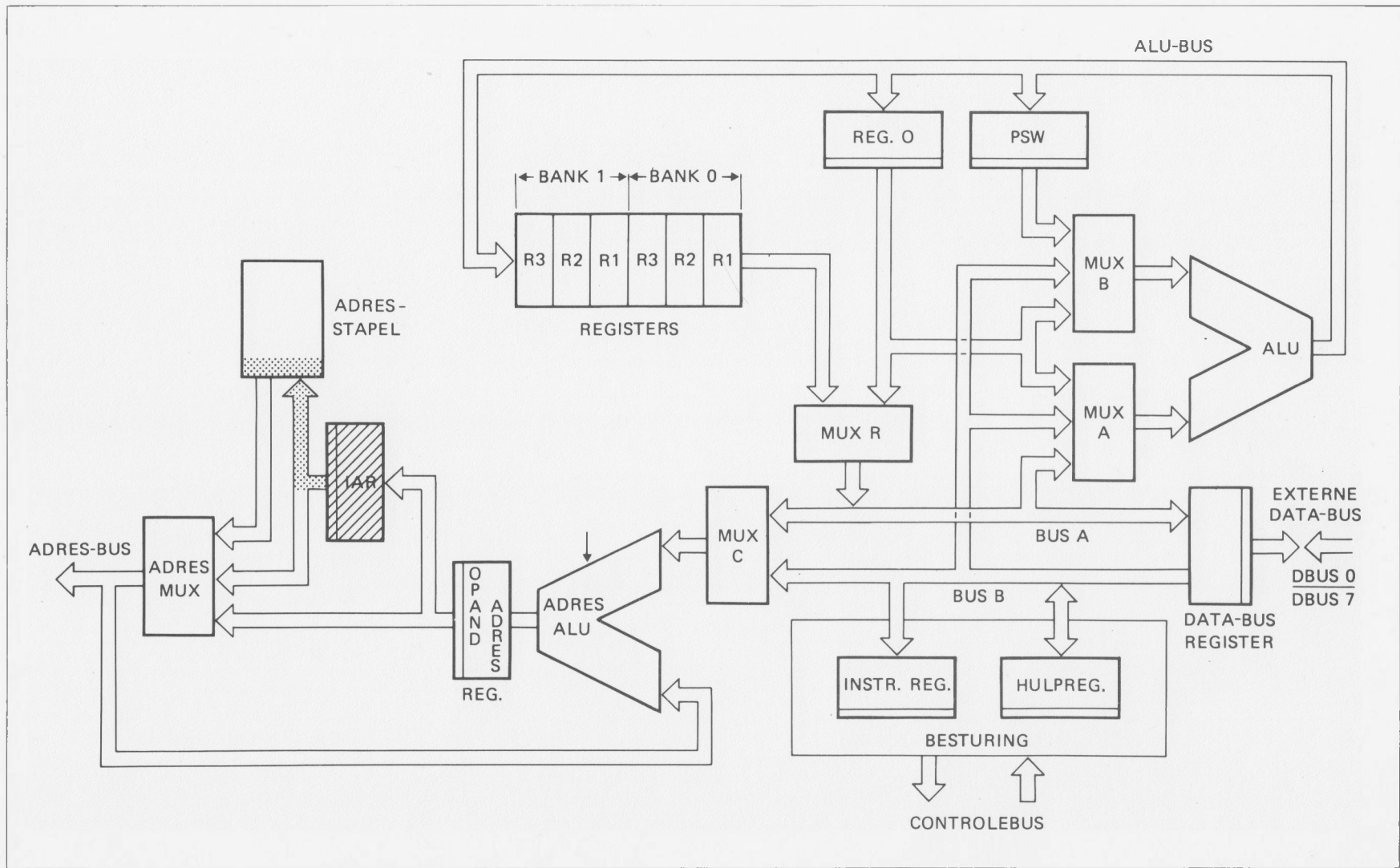


Fig. 18 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

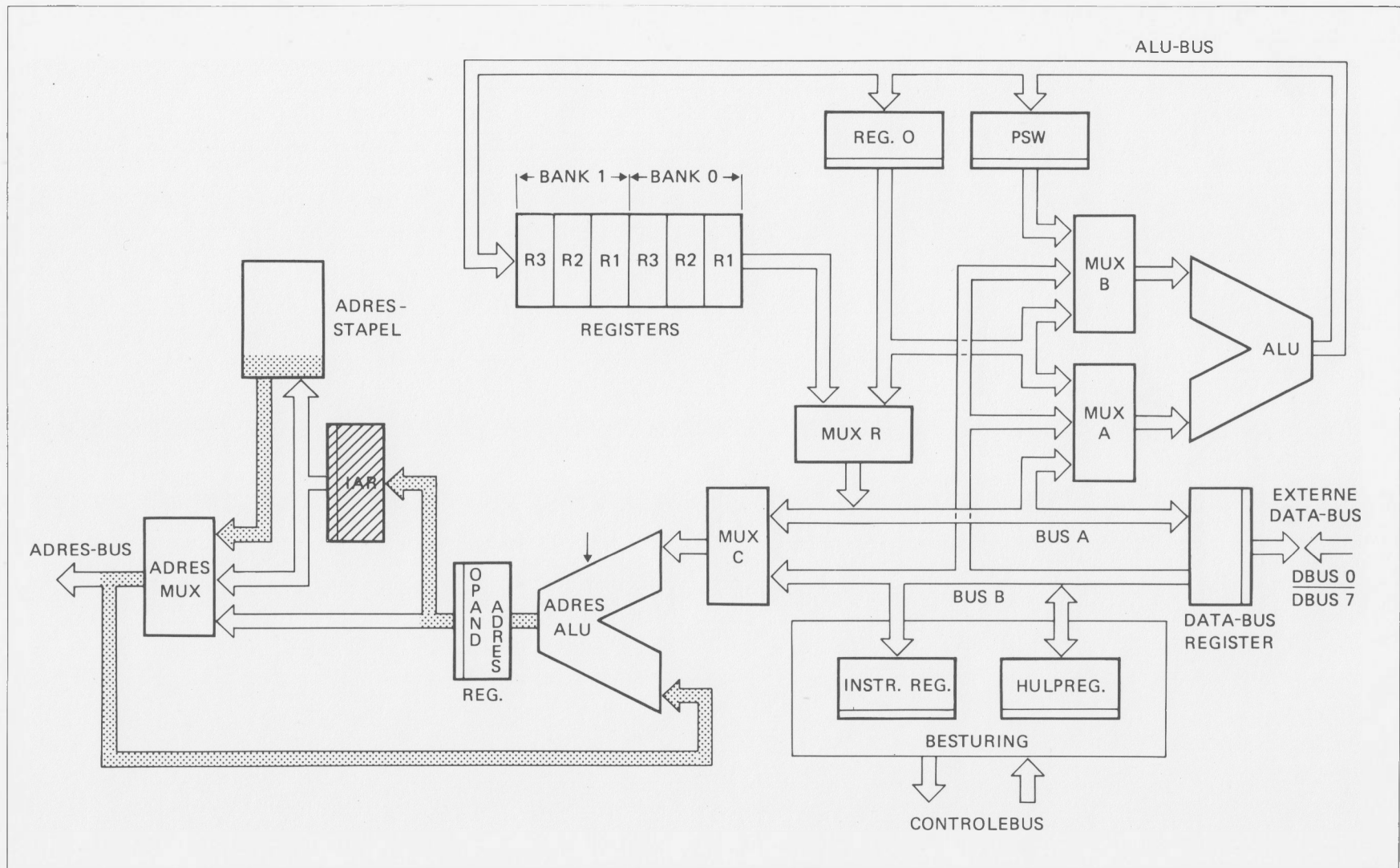


Fig. 19 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

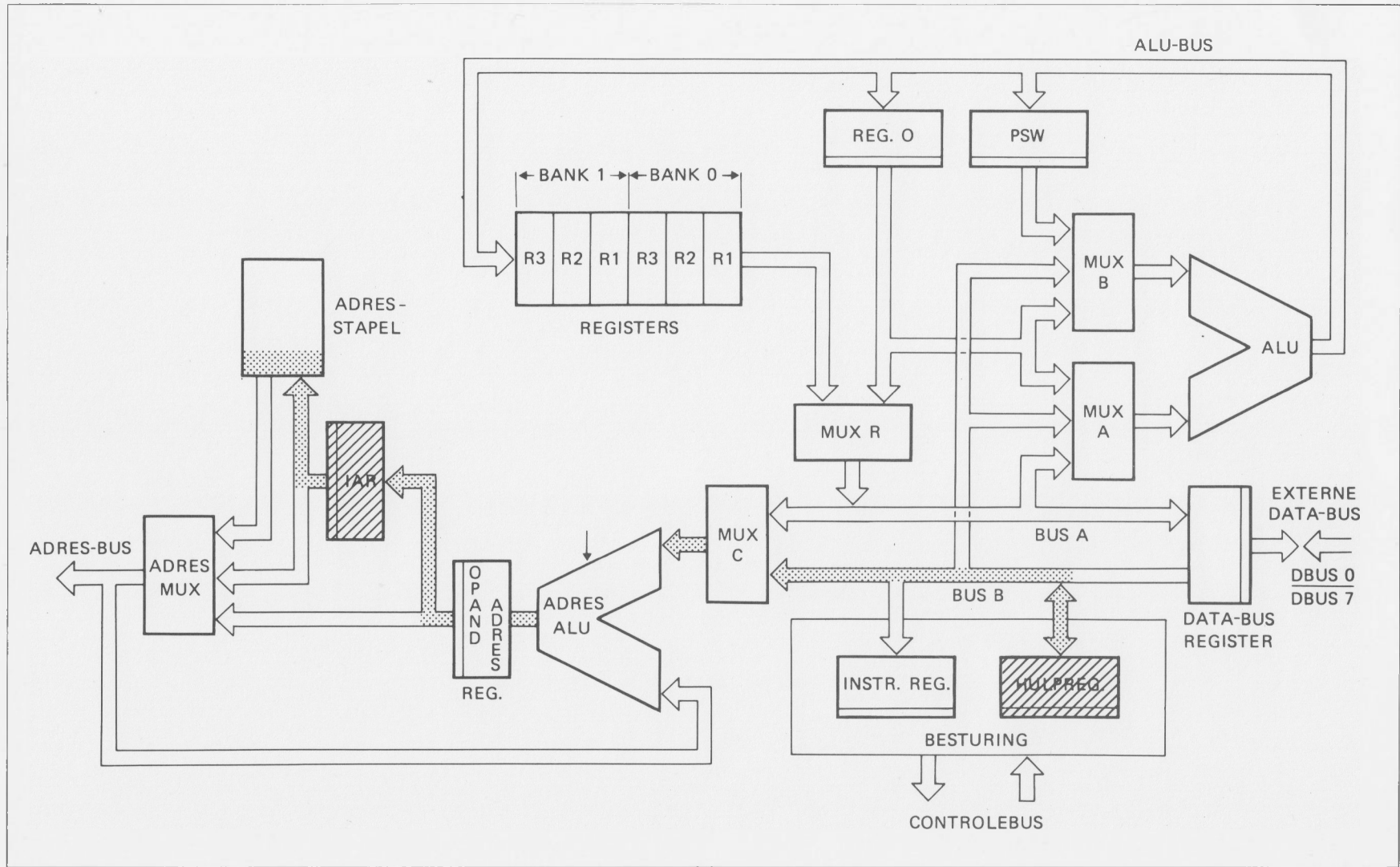


Fig. 20 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

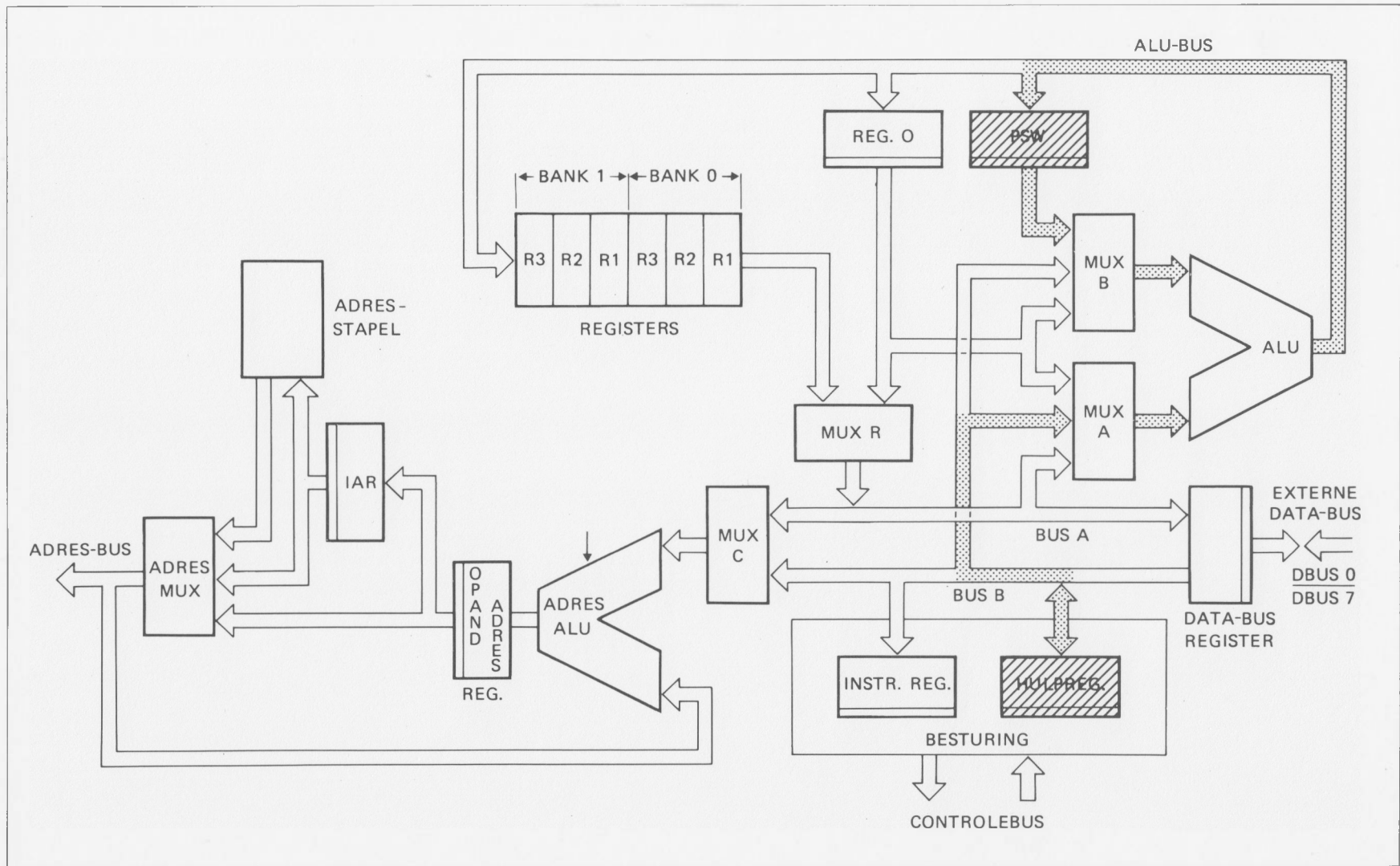


Fig. 21 Data-transport binnen de 2650 voor de verschillende adresseermethoden.

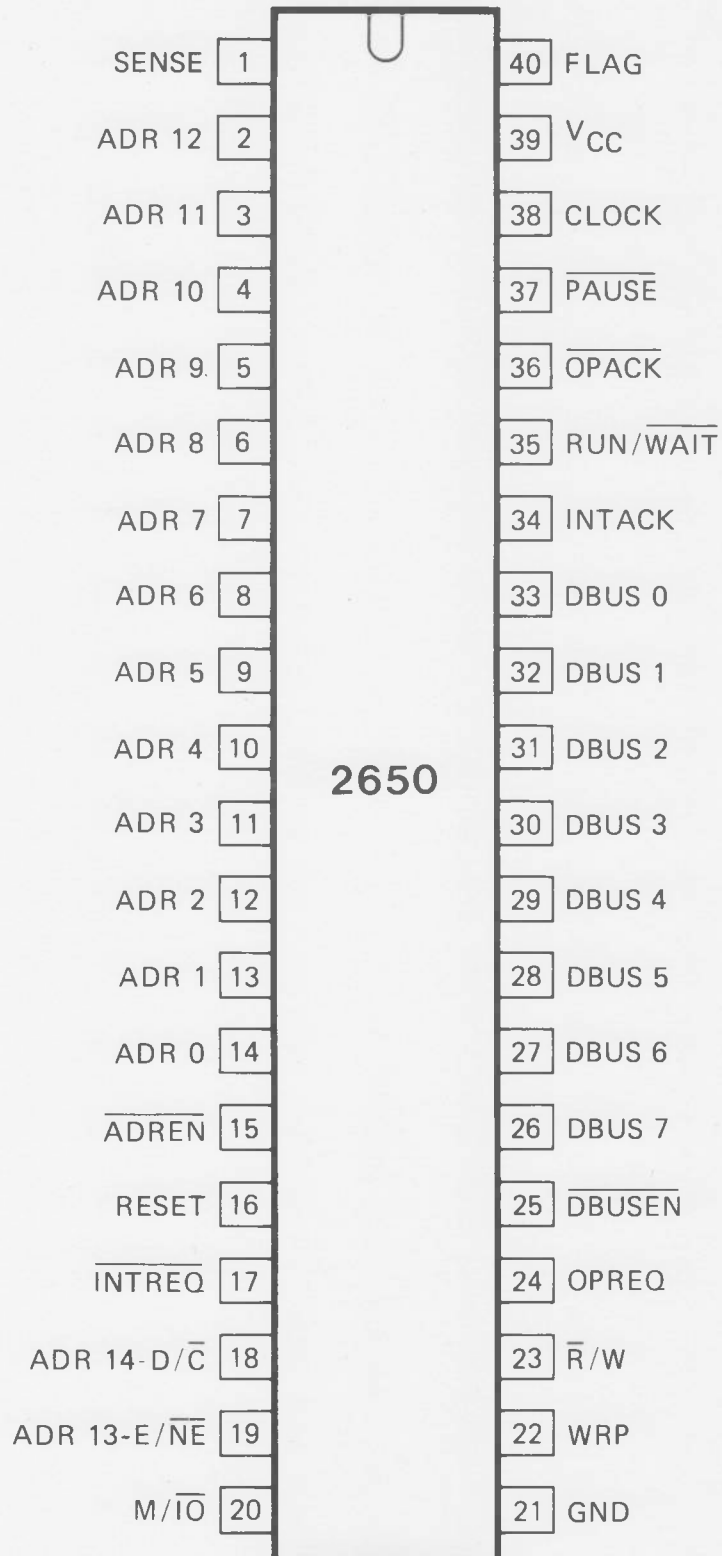


Fig. 22(a) De aansluitingen van de 2650.

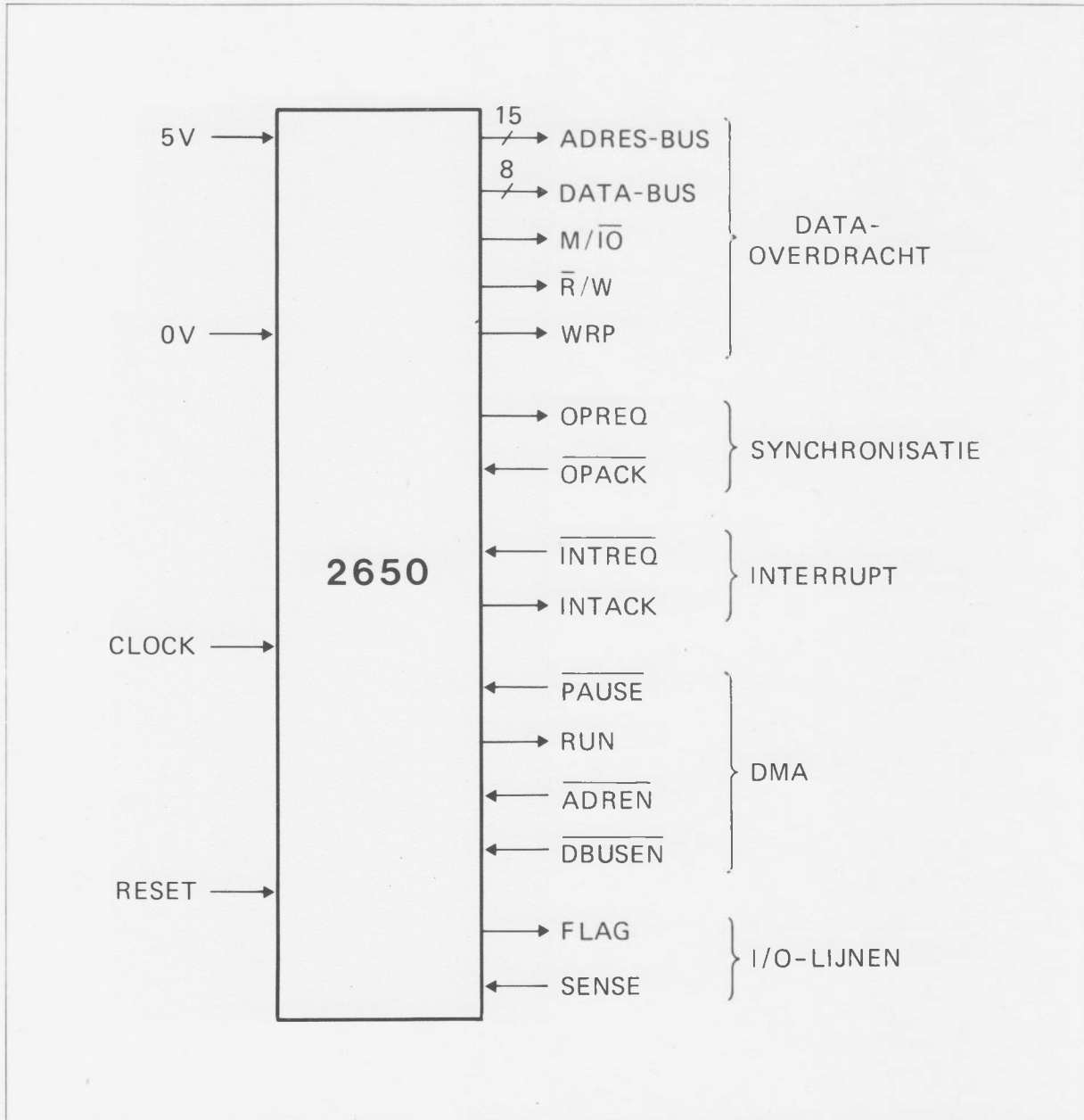


Fig. 22(b) De communicatielijnen van de 2650.

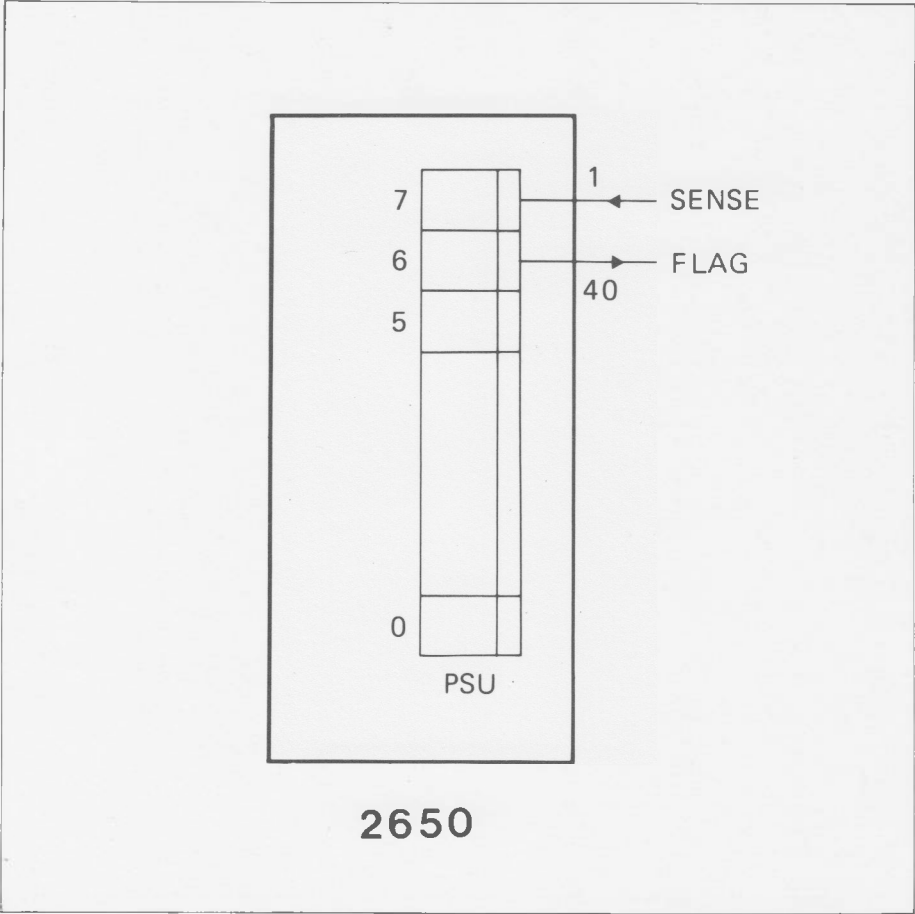


Fig. 23 De SENSE en FLAG pennen.

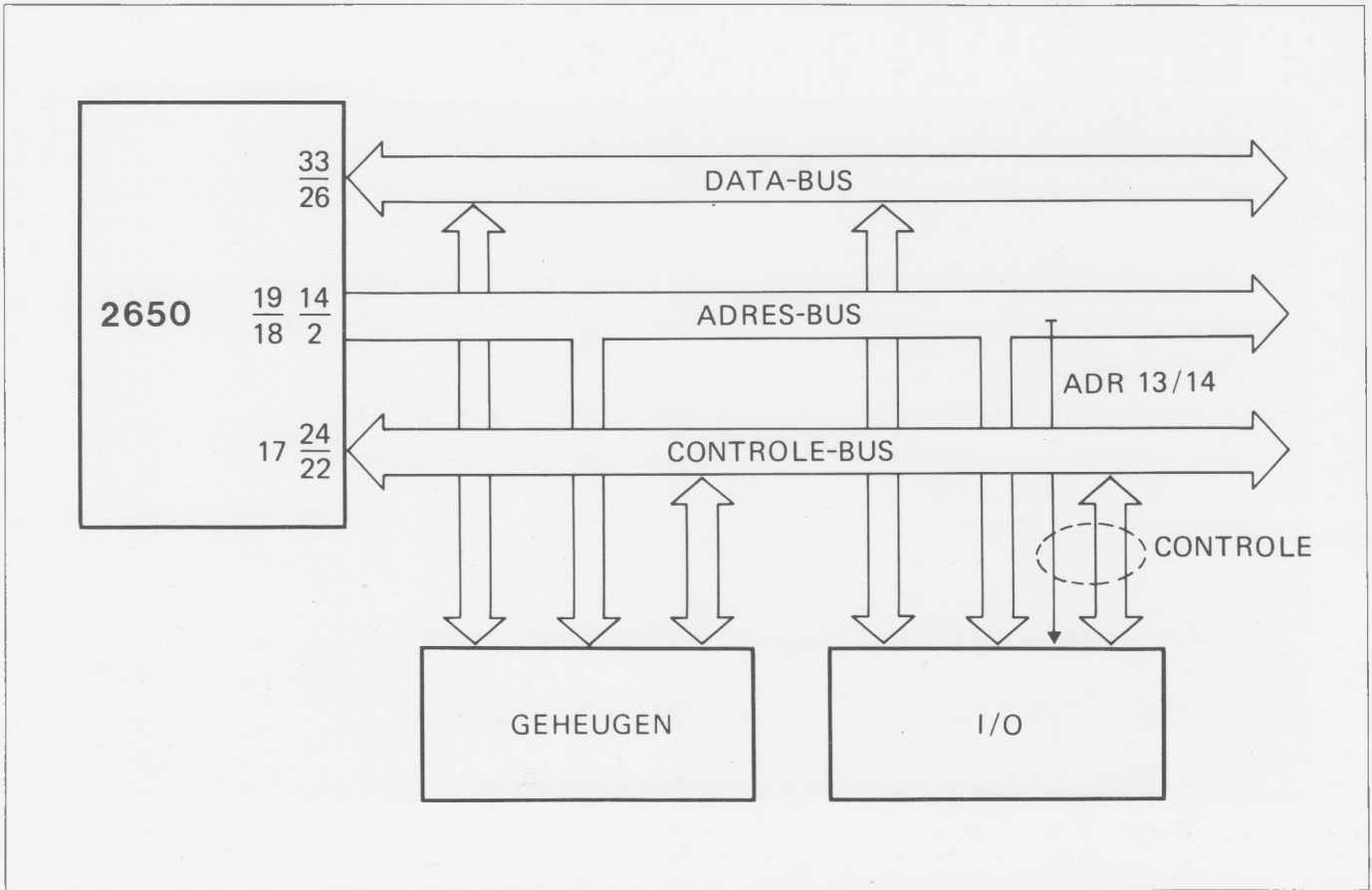


Fig. 24 De communicatiebussen van de 2650.

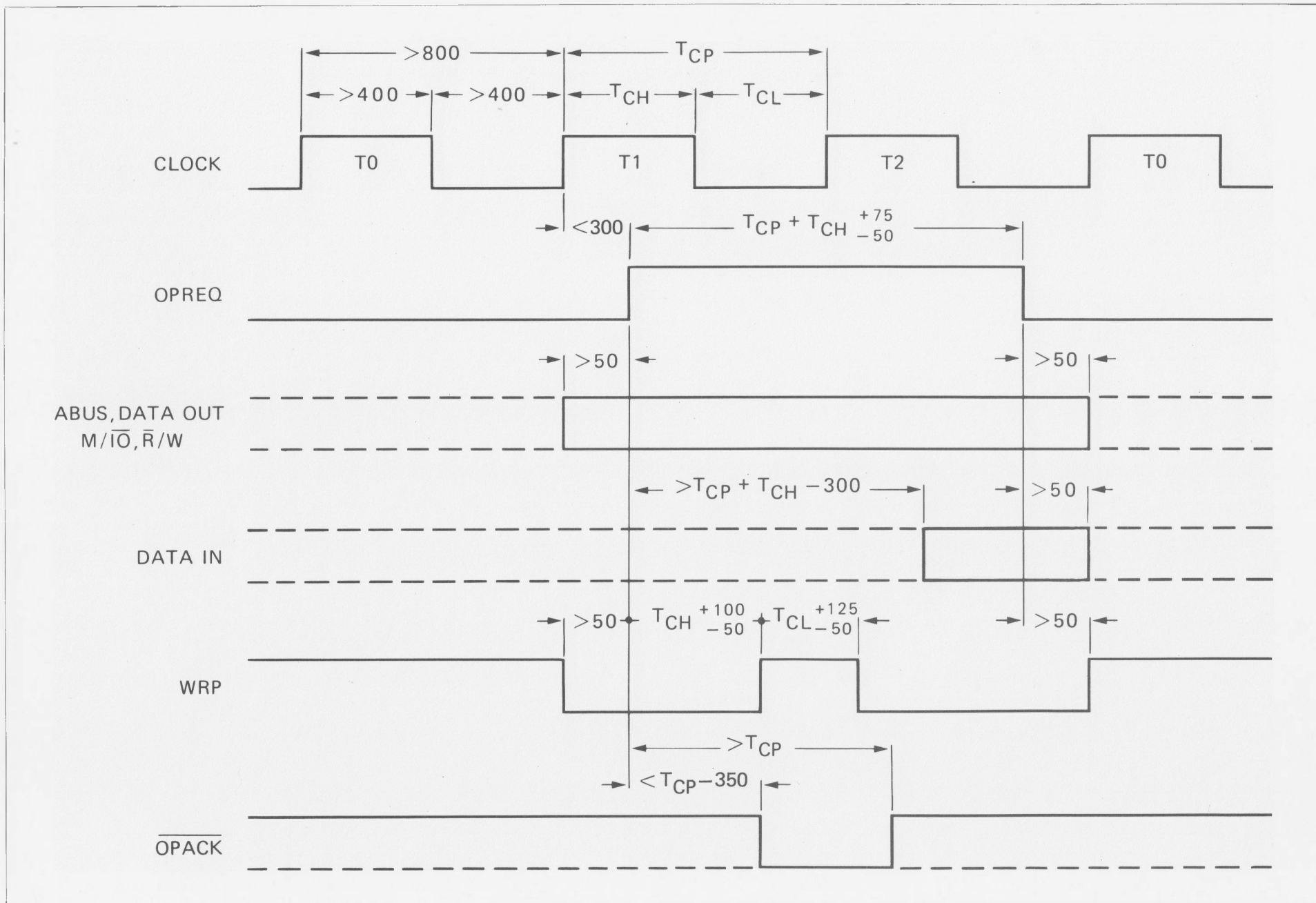


Fig. 25 De timing van de signalen van de 2650.

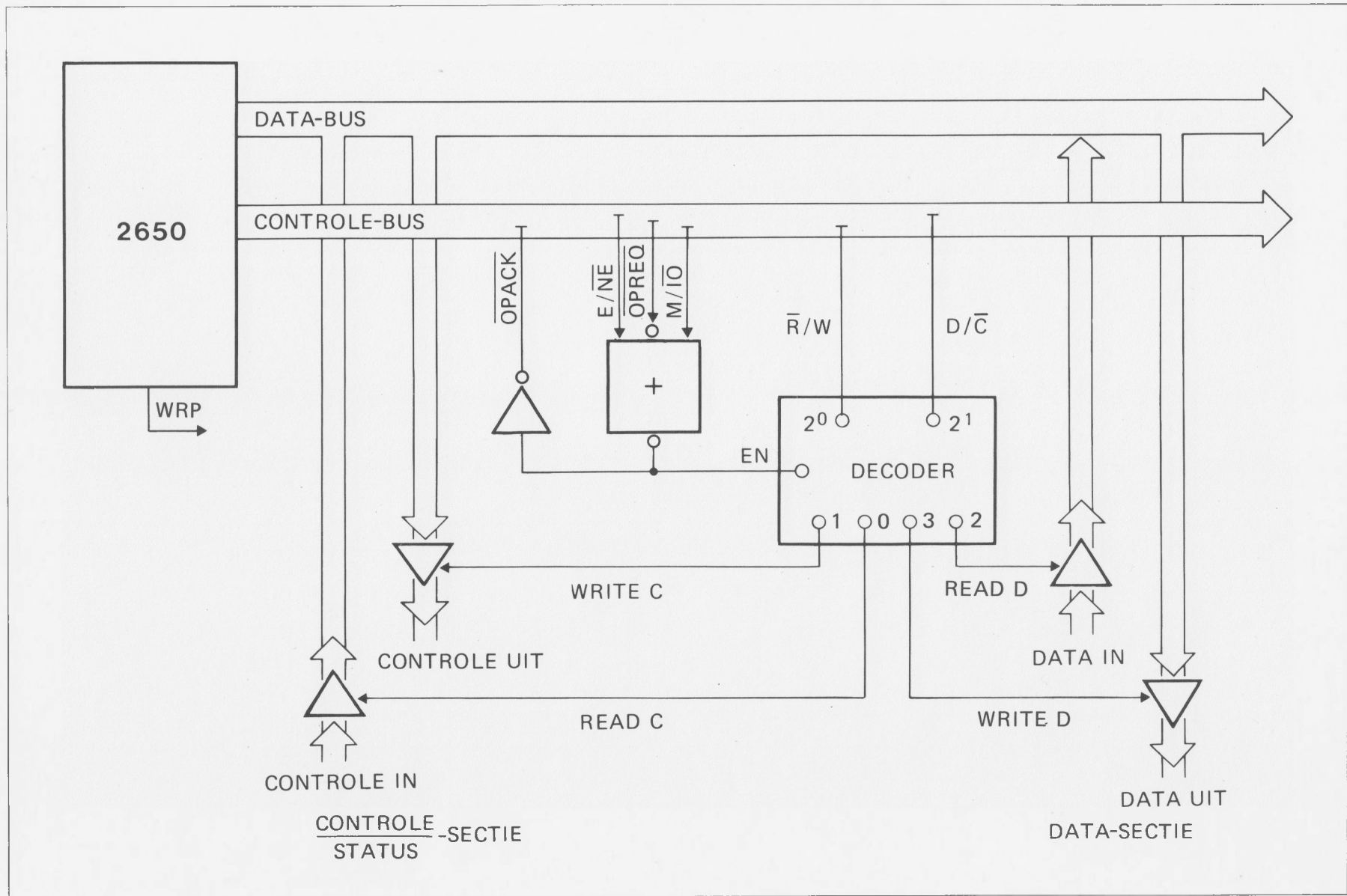


Fig. 26 Decodering voor de 2 non-extended I/O poorten.

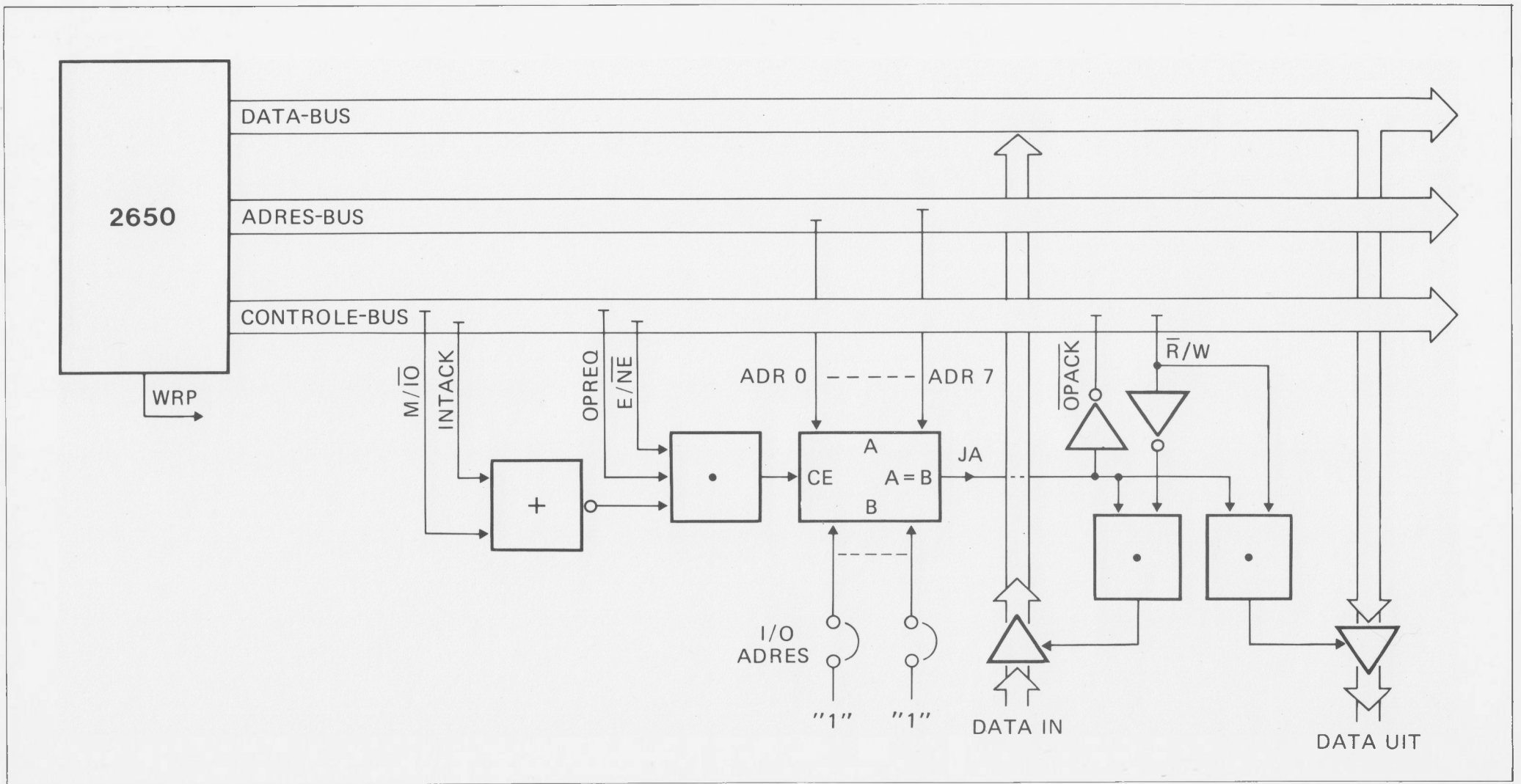


Fig. 27 Extended I/O poort selectie.

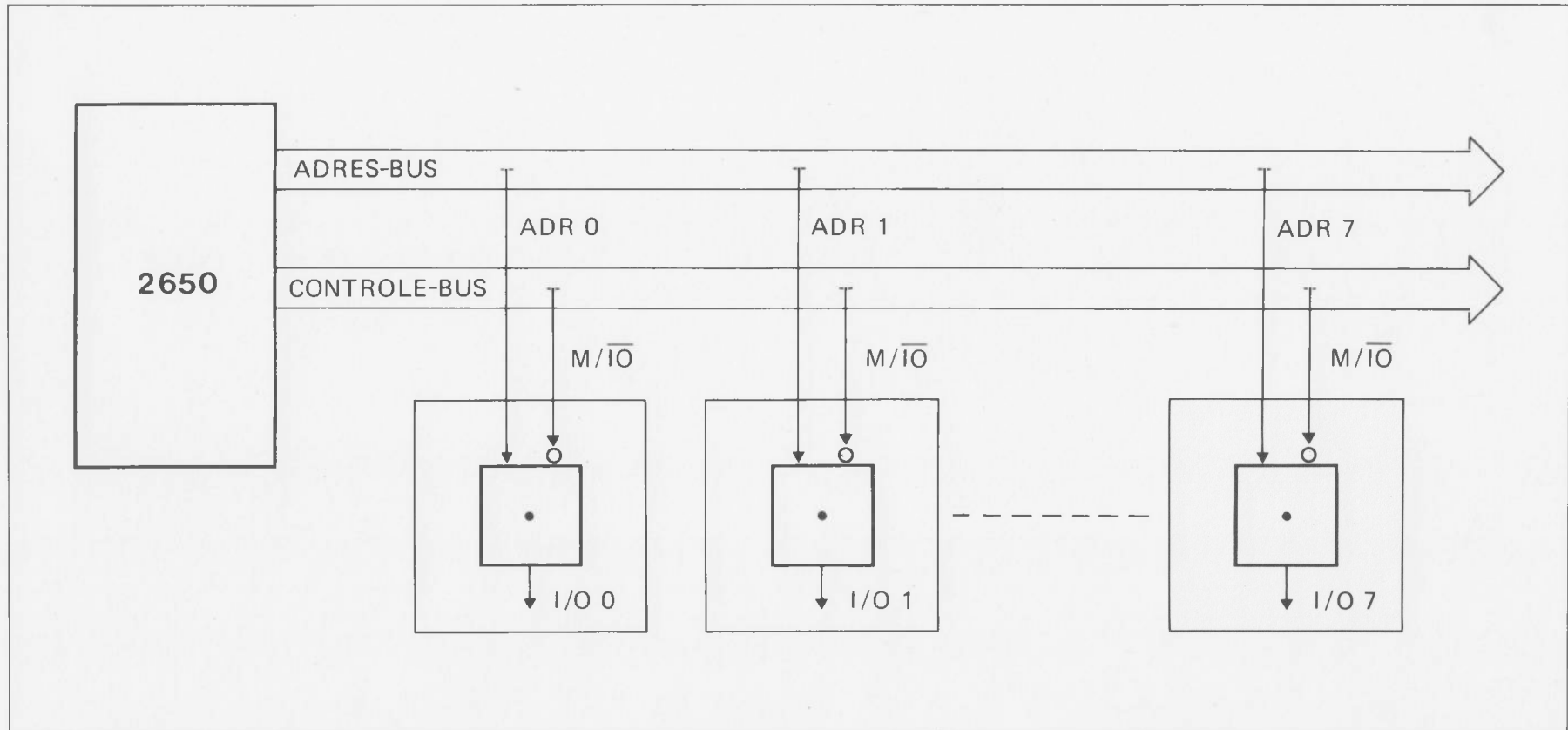


Fig. 28 Decodering voor 8 extended I/O poorten.

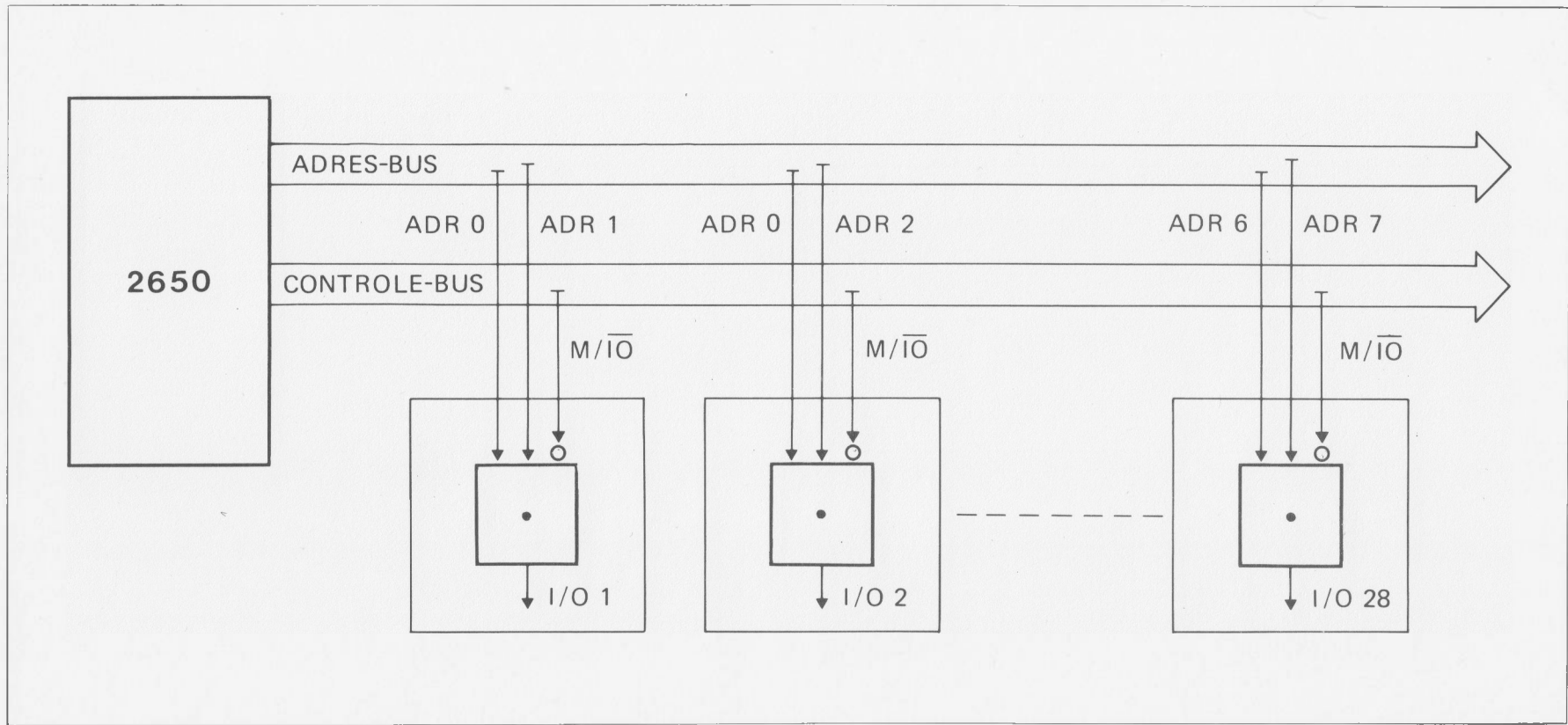


Fig. 29 Decodering voor 28 extended I/O poorten.

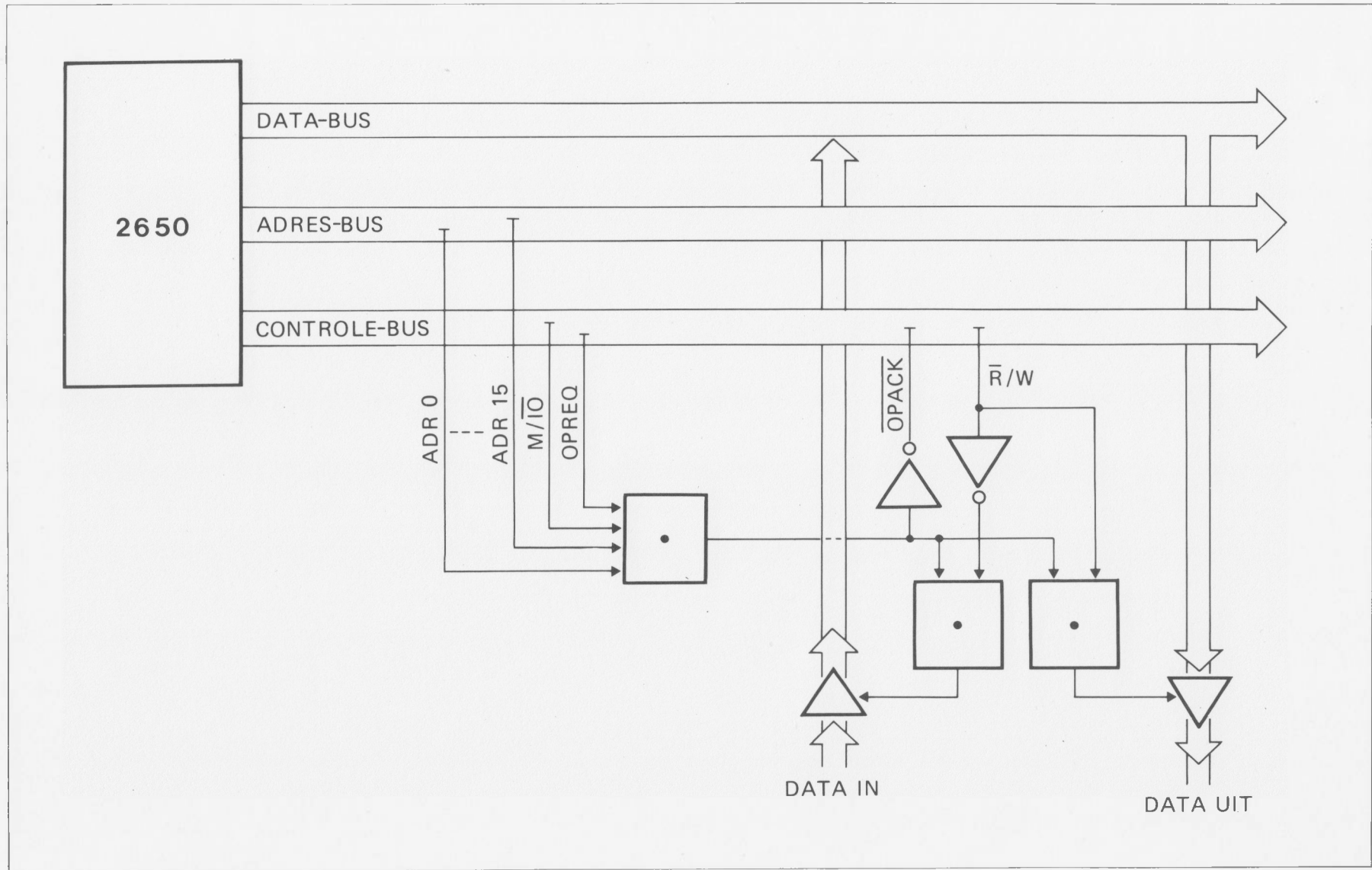


Fig. 30 Memory-mapped I/O.

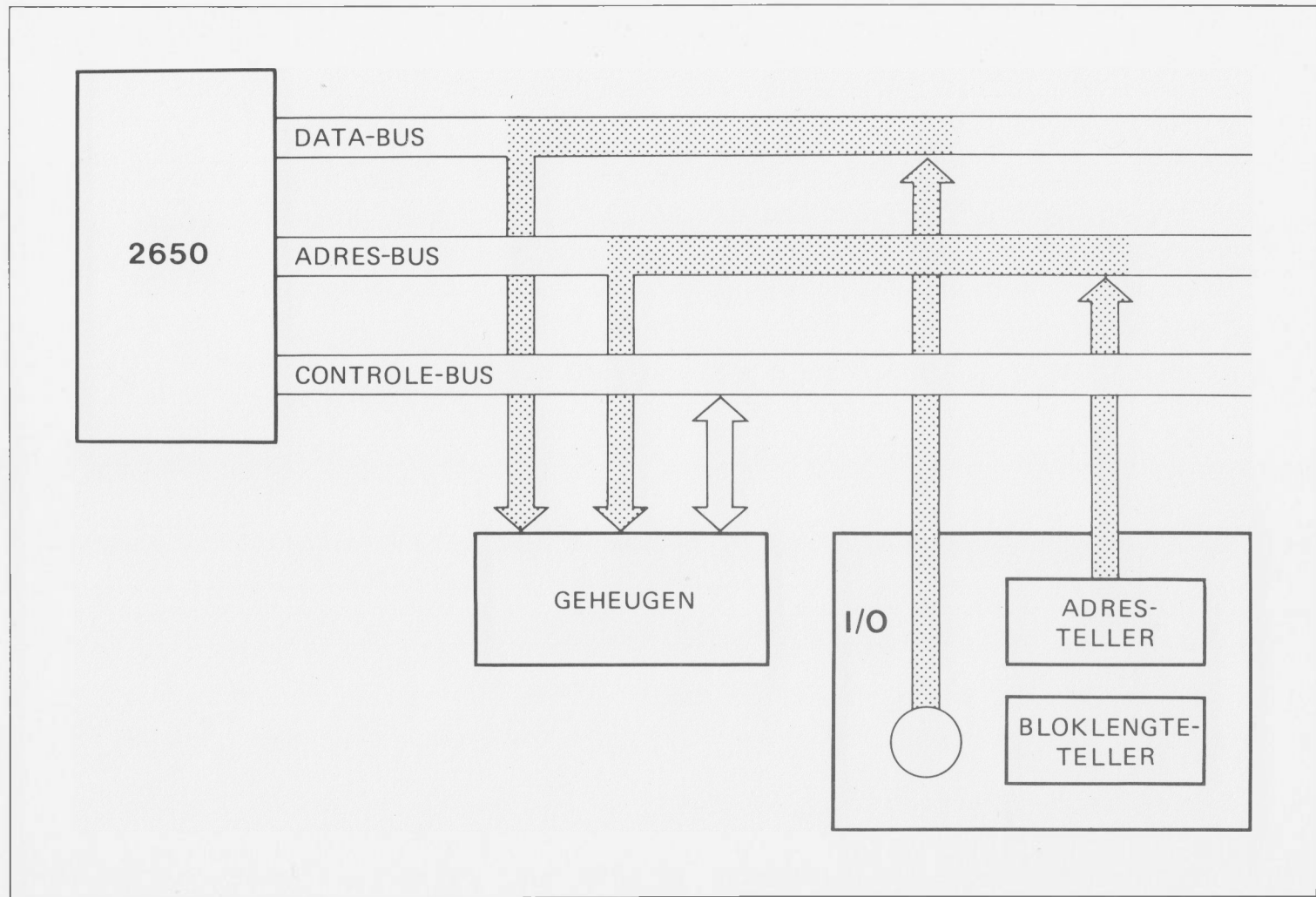


Fig. 31 Direct Memory Access (DMA).

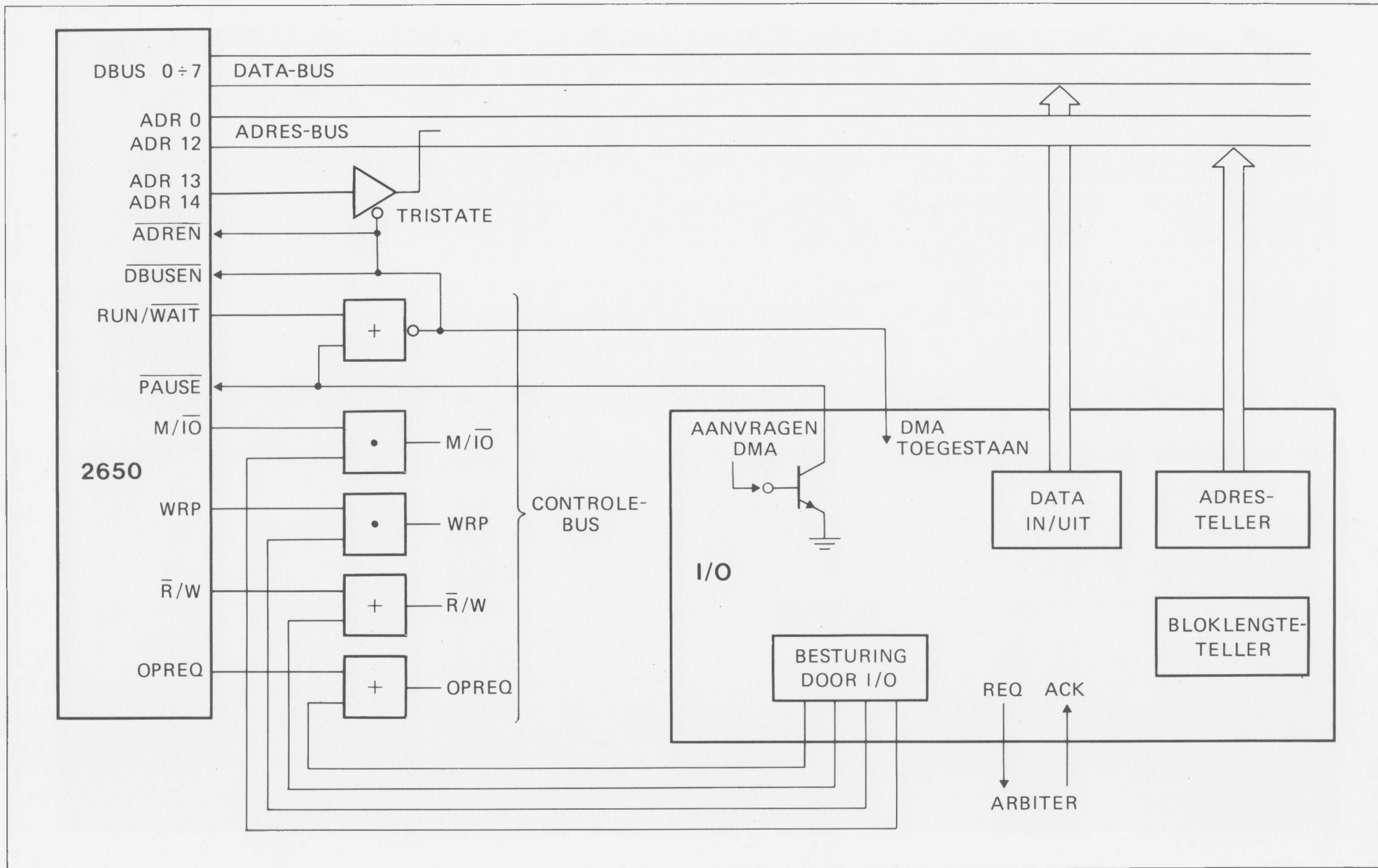


Fig. 32 Controle signalen voor DMA.

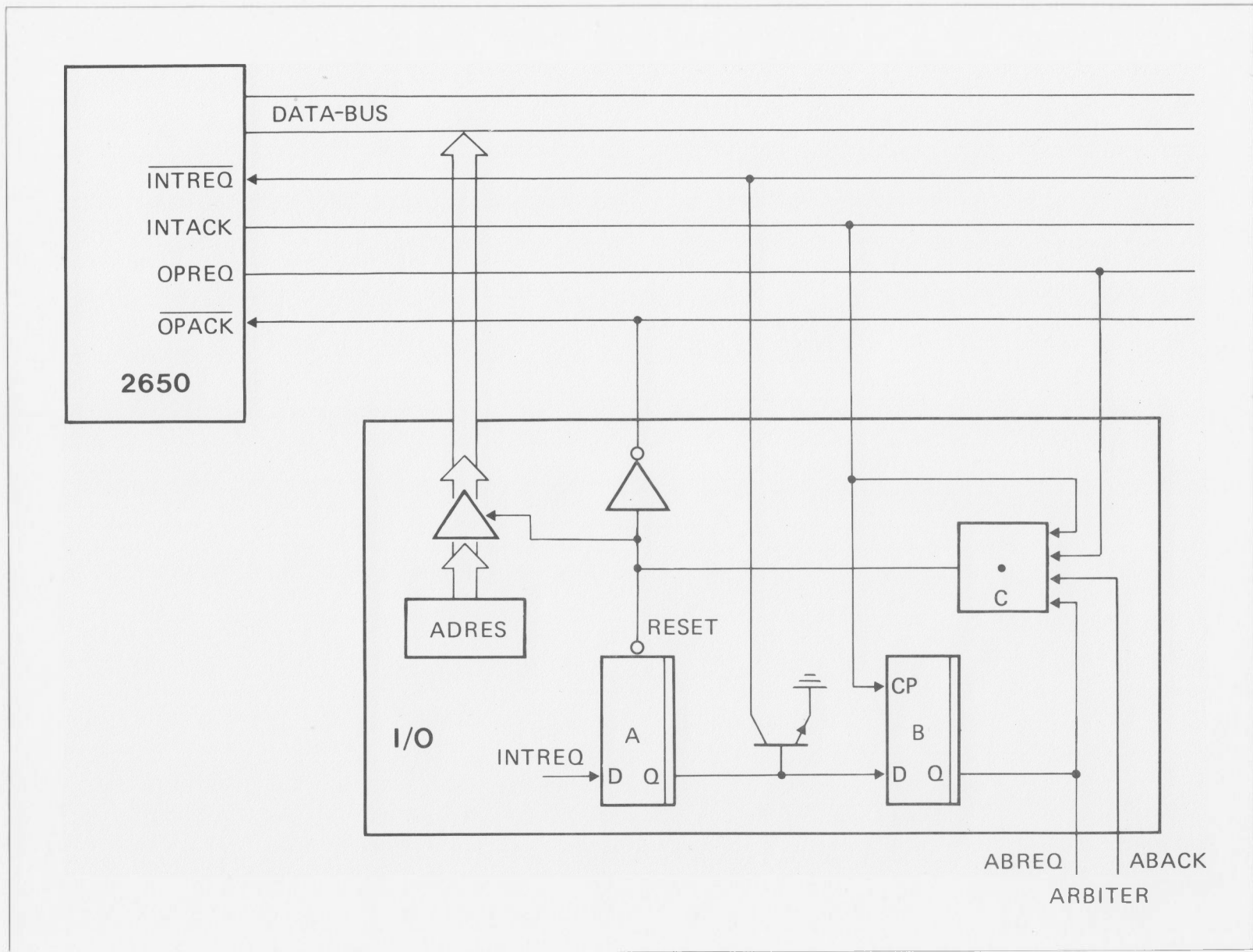


Fig. 33 Het interrupt-mechanisme.

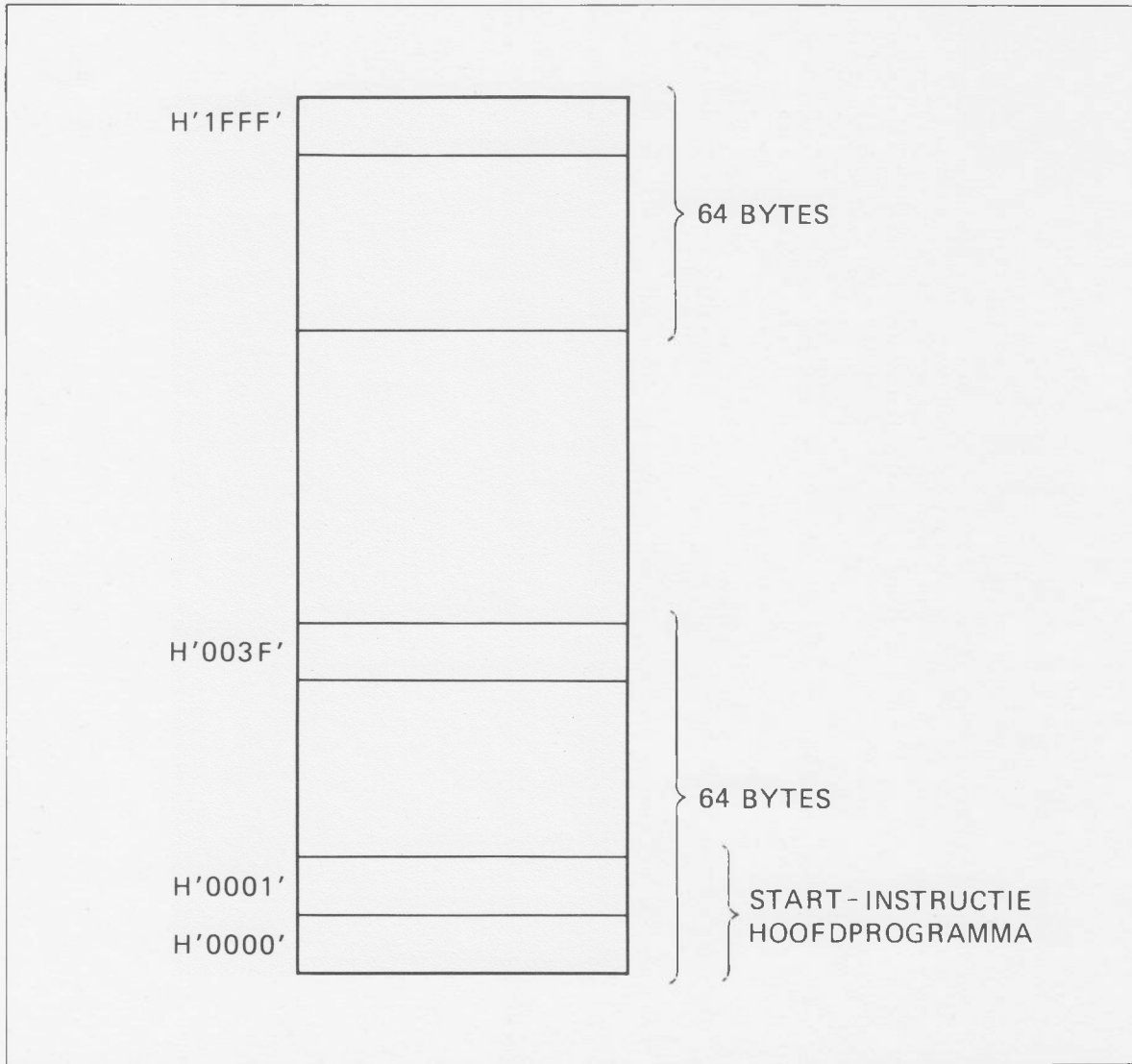


Fig. 34 De plaats van de start-adressen voor de interrupt-routine.

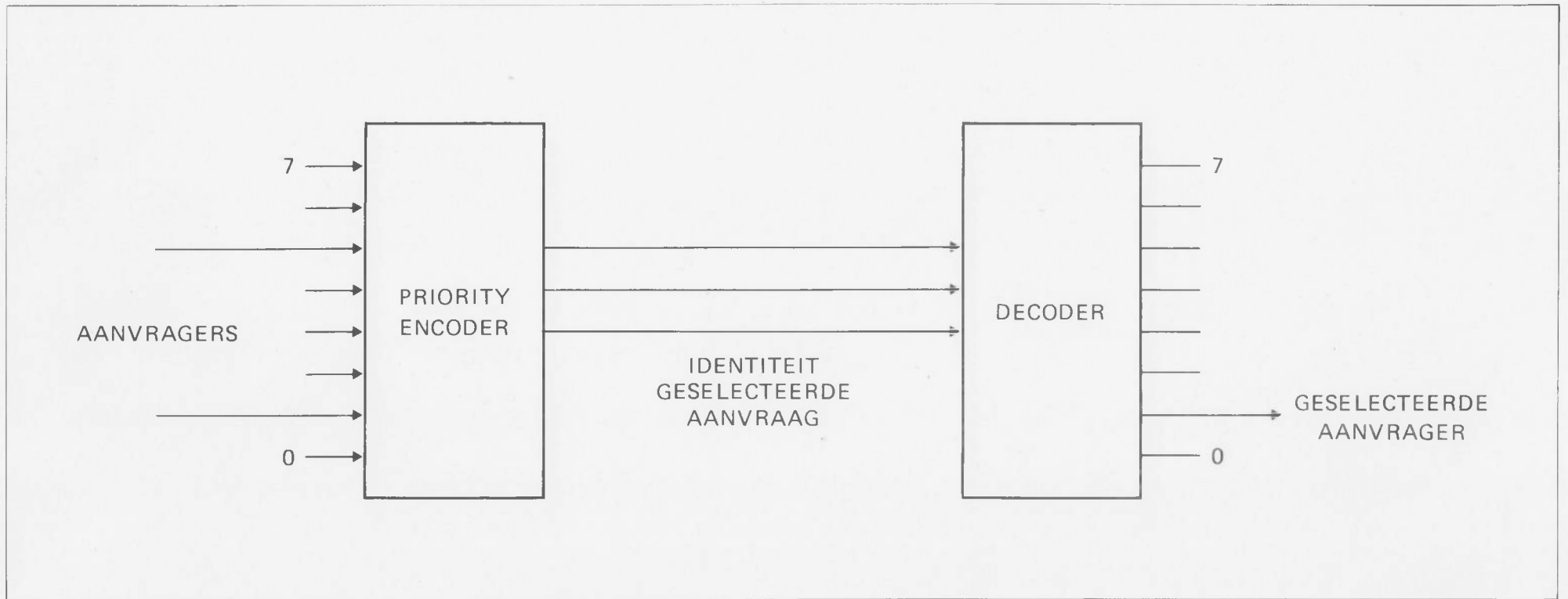


Fig. 35 Het toekennen van prioriteiten aan interrupt-aanvragers.

Electronic components and materials

for professional, industrial
and consumer uses

from the world-wide
Philips Group of Companies



- Argentina:** FAPESA I.y.C., Av. Crovara 2550, Tablada, Prov. de BUENOS AIRES, Tel. 652-7438/7478.
- Australia:** PHILIPS INDUSTRIES HOLDINGS LTD., Elcoma Division, 67 Mars Road, LANE COVE, 2066, N.S.W., Tel. 427 08 88.
- Austria:** ÖSTERREICHISCHE PHILIPS BAUELEMENTE Industrie G.m.b.H., Triester Str. 64, A-1101 WIEN, Tel. 62 91 11.
- Belgium:** M.B.L.E., 80, rue des Deux Gares, B-1070 BRUXELLES, Tel. 523 00 00.
- Brazil:** IBRAPE, Caixa Postal 7383, Av. Brigadeiro Faria Lima, 1735 SAO PAULO, SP, Tel. (011) 211-2600.
- Canada:** PHILIPS ELECTRONICS LTD., Electron Devices Div., 601 Milner Ave., SCARBOROUGH, Ontario, M1B 1M8, Tel. 292-5161.
- Chile:** PHILIPS CHILENA S.A., Av. Santa Maria 0760, SANTIAGO, Tel. 39-40 01.
- Colombia:** SADAPE S.A., P.O. Box 9805, Calle 13, No. 51 + 39, BOGOTA D.E. 1., Tel. 600 600.
- Denmark:** MINIWATT A/S, Emdrupvej 115A, DK-2400 KØBENHAVN NV., Tel. (01) 69 16 22.
- Finland:** OY PHILIPS AB, Elcoma Division, Kaivokatu 8, SF-00100 HELSINKI 10, Tel. 1 72 71.
- France:** R.T.C. LA RADIOTECHNIQUE-COMPELEC, 130 Avenue Ledru Rollin, F-75540 PARIS 11, Tel. 355-44-99.
- Germany:** VALVO, UB Bauelemente der Philips G.m.b.H., Valvo Haus, Burchardstrasse 19, D-2 HAMBURG 1, Tel. (040) 3296-1.
- Greece:** PHILIPS S.A. HELLENIQUE, Elcoma Division, 52, Av. Syngrou, ATHENS, Tel. 915 311.
- Hong Kong:** PHILIPS HONG KONG LTD., Elcoma Div., 15/F Philips Ind. Bldg., 24-28 Kung Yip St., KWAI CHUNG, Tel. NT 24 51 21.
- India:** PEICO ELECTRONICS & ELECTRICALS LTD., Ramon House, 169 Backbay Reclamation, BOMBAY 400020, Tel. 295144.
- Indonesia:** P.T. PHILIPS-RALIN ELECTRONICS, Elcoma Division, 'Timah' Building, Jl. Jen. Gatot Subroto, P.O. Box 220, JAKARTA, Tel. 44 163.
- Ireland:** PHILIPS ELECTRICAL (IRELAND) LTD., Newstead, Clonskeagh, DUBLIN 14, Tel. 69 33 55.
- Italy:** PHILIPS S.p.A., Sezione Elcoma, Piazza IV Novembre 3, I-20124 MILANO, Tel. 2-6994.
- Japan:** NIHON PHILIPS CORP., Shuwa Shinagawa Bldg., 26-33 Takanawa 3-chome, Minato-ku, TOKYO (108), Tel. 448-5611.
(IC Products) SIGNETICS JAPAN, LTD, TOKYO, Tel. (03)230-1521.
- Korea:** PHILIPS ELECTRONICS (KOREA) LTD., Elcoma Div., Philips House, 260-199 Itaewon-dong, Yongsan-ku, C.P.O. Box 3680, SEOUL, Tel. 794-4202.
- Malaysia:** PHILIPS MALAYSIA SDN. BERHAD, Lot 2, Jalan 222, Section 14, Petaling Jaya, P.O.B. 2163, KUALA LUMPUR, Selangor, Tel. 77 44 11.
- Mexico:** ELECTRONICA S.A. de C.V., Varsovia No. 36, MEXICO 6, D.F., Tel. 533-11-80.
- Netherlands:** PHILIPS NEDERLAND B.V., Afd. Elonco, Boschdijk 525, 5600 PB EINDHOVEN, Tel. (040) 79 33 33.
- New Zealand:** PHILIPS ELECTRICAL IND. LTD., Elcoma Division, 2 Wagener Place, St. Lukes, AUCKLAND, Tel. 867 119.
- Norway:** NORSK A/S PHILIPS, Electronica, Sørkedalsveien 6, OSLO 3, Tel. 46 38 90.
- Peru:** CADESA, Rocca de Vergallo 247, LIMA 17, Tel. 62 85 99.
- Philippines:** PHILIPS INDUSTRIAL DEV. INC., 2246 Pasong Tamo, P.O. Box 911, Makati Comm. Centre, MAKATI-RIZAL 3116, Tel. 86-89-51 to 59.
- Portugal:** PHILIPS PORTUGESA S.A.R.L., Av. Eng. Duharte Pacheco 6, LISBOA 1, Tel. 68 31 21.
- Singapore:** PHILIPS PROJECT DEV. (Singapore) PTE LTD., Elcoma Div., P.O.B. 340, Toa Payoh CPO, Lorong 1, Toa Payoh, SINGAPORE 12, Tel. 53 88 11.
- South Africa:** EDAC (Pty.) Ltd., 3rd Floor Rainer House, Upper Railway Rd. & Ove St., New Doornfontein, JOHANNESBURG 2001, Tel. 614-2362/9.
- Spain:** COPRESA S.A., Balmes 22, BARCELONA 7, Tel. 301 63 12.
- Sweden:** A.B. ELCOMA, Lidingsvägen 50, S-115 84 STOCKHOLM 27, Tel. 08/ 67 97 80.
- Switzerland:** PHILIPS A.G., Elcoma Dept., Allmendstrasse 140-142, CH-8027 ZÜRICH, Tel. 01/ 43 22 11.
- Taiwan:** PHILIPS TAIWAN LTD., 3rd Fl., San Min Building, 57-1, Chung Shan N. Rd, Section 2, P.O. Box 22978, TAIPEI, Tel. 5513101-5.
- Thailand:** PHILIPS ELECTRICAL CO. OF THAILAND LTD., 283 Silom Road, P.O. Box 961, BANGKOK, Tel. 233-6330-9.
- Turkey:** TÜRK PHILIPS TICARET A.S., EMET Department, Inonu Cad. No. 78-80, ISTANBUL, Tel. 43 59 10.
- United Kingdom:** MULLARD LTD., Mullard House, Torrington Place, LONDON WC1E 7HD, Tel. 01-580 6633.
- United States:** (Active devices & Materials) AMPEREX SALES CORP., Providence Pike, SLATERSVILLE, R.I. 02876, Tel. (401) 762-9000.
(Passive devices) MEPCO/ELECTRA INC., Columbia Rd., MORRISTOWN, N.J. 07960, Tel. (201) 539-2000.
(IC Products) SIGNETICS CORPORATION, 811 East Arques Avenue, SUNNYVALE, California 94086, Tel. (408) 739-7700.
- Uruguay:** LUZIELECTRON S.A., Rondeau 1567, piso 5, MONTEVIDEO, Tel. 9 43 21.
- Venezuela:** IND. VENEZOLANAS PHILIPS S.A., Elcoma Dept., A. Ppal de los Ruices, Edif. Centro Colgate, CARACAS, Tel. 36 05 11.